

# 数据通信总线技术的现状与未来发展趋势

## Status Quo and Development Perspectives of Bus Technology in Data Communications

刘衡祁/LIU Heng-qi  
李为朴/LI Wei-pu

(中兴通讯股份有限公司 数据事业部,江苏 南京 210012)  
(Data Division of ZTE Corporation, Nanjing 210012, China)

**摘要:** 文章结合中兴通讯ZXR10数据产品中通信总线实际应用情况,阐述了各种数据通信总线的工作时钟频率范围、带宽范围以及它们各自的优势和缺陷。文章认为并行总线由于自身缺陷,已经不适合进行高速传输,高速串行点对点连接将代替传统的并行接口;数据交换也不再是简单地通过驱动电路和并行数据线进行,而是通过特殊的串行高速总线连接;传统的在一条总线上同时挂载多个设备的模式正逐渐消亡,总线功能已被一个集中式的交换模块取代,而交换模块和各个设备都是通过高速串行点对点的方式进行连接。

**关键词:** 数据通信;总线技术;系统同步;源同步

**Abstract:** The paper introduces the work clock frequency, bandwidth, advantages and limitations of various bus technologies in data communications, based on the practical applications of bus technology adopted in ZXR10 data communication products. The paper holds the idea that, parallel bus can't adapt to high-speed transfers due to self-limitations, and high-speed serial point-to-point bus will substitute for traditional parallel bus; data transfer will not be carried out simply by drive circuit and parallel bus, but by special high-speed serial bus; the traditional mode of single bus loading multi-device is disappearing, and a centralized switch module is replacing the bus function in a mode of one switch module connecting all devices via high-speed point to point serial bus.

**Key words:** data communication; bus technology; system synchronization; source synchronization

中图分类号:TN919.2 文献标识码:A 文章编号:1009-6868 (2005) 03-0043-04

随着通信技术的不断发展,为适应通信带宽不断扩大的需要,总线技术相应也在不断地更新,从最流行的并行总线PCI以及他们的扩展,到目前超高速串行总线的出现,无一不是为了满足通信系统的带宽需求。本文结合ZXR10路由器产品中通信总线使用情况,介绍各种通信总线的优势和缺陷以及通信总线技术的发展方向。

## 1 系统同步并行总线

### 1.1 系统同步并行总线标准

“古老的”PCI总线系列,包括PCI-X和Compact PCI以及POS-PHY Level 2/3等都是系统同步并行总线。系统同步一般又包括两种总线应用方式:共享式和点到点式。PCI总线就是典型的共享式系统同步并行总线,最多可以8~10个设备共享同一个PCI总线,而POS-PHY Level 2/3则是典型的点到点式系统同步并行总线。

### 1.2 系统同步共享并行总线应用模式

典型系统同步共享并行总线标准有PCI、PCI-X和Com-

pact PCI,由于采用系统同步方式,而且是共享并行总线形式,总线时钟频率受到很大限制。系统同步共享并行总线应用模式如图1所示。一般典型的时钟频率为33 MHz或66 MHz,总线带宽在1 Gb/s~4.2 Gb/s之间。ZXR10 GAR通用接入路由器中采用的就是这种系统同步共享式并行总线应用方式。

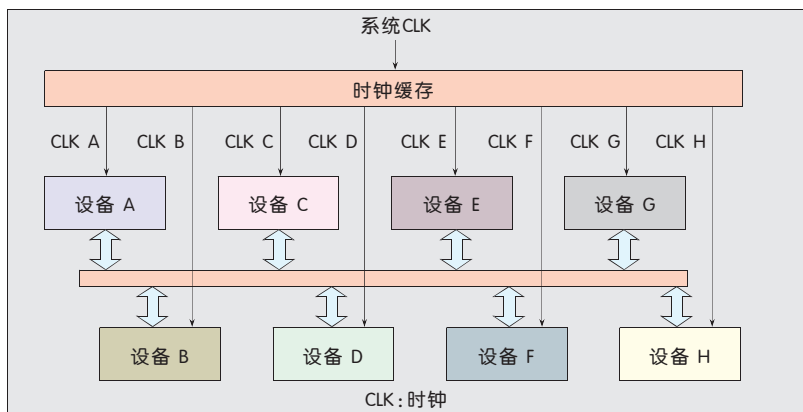
### 1.3 系统同步点到点并行总线应用模式

典型系统同步点到点并行总线标准有POS-PHY L2/L3、Utopia L2/L3和SPI-3<sup>[1]</sup>等,由于采用系统同步方式,点到点的并行总线形式,总线时钟频率比共享式并行总线有所提高,一般典型的时钟频率可以到104 MHz或133 MHz,总线带宽在3.2 Gb/s~6.4 Gb/s之间。ZXR10 T64/T128电信级高端路由器中线卡和接口卡之间采用的就是这种点到点的并行总线应用方式。

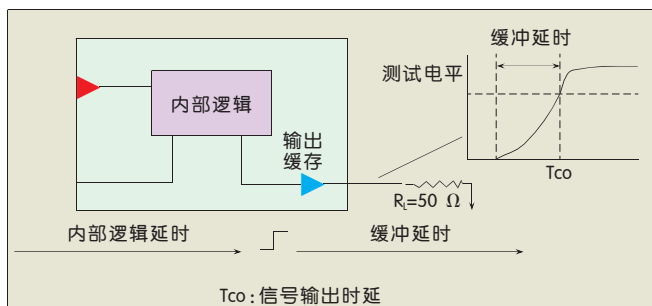
### 1.4 系统同步并行总线时序分析

#### 1.4.1 时序基本概念

(1)信号输出时延



▲图1 系统同步共享并行总线应用模式



▲图2 Tco和缓冲延时的测定

信号输出时延( $T_{co}$ )是指时钟触发开始到有效数据输出的器件内部所有时延的总和,通常包含缓冲延迟和内部逻辑延迟。通常,确定 $T_{co}$ 的方法是在缓冲输出的末端直接连一个测量负载,最常见的是 $50\ \Omega$ 的电阻或者 $30\ \text{pF}$ 的电容,然后测量负载上的信号电压达到一定电平的时间,这个电平称为测试电平(单位:V<sub>ms</sub>),一般是信号稳定电平的一半。如图2所示。

#### (2)平均飞行时间

信号经发送端驱动后,就要经过传输线到达接收终端,信号在传输线上的传输的时延我们称为传播延迟,它只和传输线长度有关,但设计中却不能只考虑传播延迟这个参数,还要考虑飞行时间(Flight Time)参数,包括最大飞行(Max Flight Time)和最小飞行时间(Min Flight Time)。飞行时间包含了传播延迟和信号上升沿变化两部分因素,因为在较轻的负载(如单负载)情况下,驱动端的上升沿几乎和接收端的信号的上升沿平行,这时候平均飞行时间和传播延迟相差不多。但如果在重负载(如多负载)的情况下,接收信号的上升沿明显变缓,这时候平均飞行时间就会远远大于信号的传播延迟。这里说的平均飞行时间是指缓存波形的波形测试电平V<sub>ms</sub>之间的延时,通常定义为平均飞行时间( $T_{delay}$ )。这个参数只能用于时序的估算,准确的时序分析一定要通过实际测量最大/最小飞行时间来计算。对于上升沿和下降沿来说,都存在着最大/最小飞行时间的参数。因此在

时序计算时我们实际取的最大飞行时间是上升沿和下降沿中取最长的那个飞行时间,而最小飞行时间则是取上升沿和下降沿中最短的那个飞行时间。

#### (3)建立时间和保持时间

信号经过传输线到达接收端之后,就牵涉到建立时间和保持时间这两个时序参数,它们是接收器本身的特性,表征了时钟边沿触发时数据需要在入端持续的时间。通俗地说,时钟信号来的时候,要求数据必须已经存在一段时间,这就是器件需要的建立时间( $T_{setup}$ ),而时钟边沿触发后数据必须要继续保持一段时间,以便能稳定地读取,这就是器件需要的保持时间( $T_{hold}$ )。如果数据信号在时钟沿触发前后持续的时间均超过建立和保持时间,那么超过量就分别被称为建立时间裕量和保持时间裕量。

#### (4)抖动和相差

系统时序设计中对时钟信号的要求是非常严格的,因为我们所有的时序计算都是以恒定的时钟信号为基准。但实际上时钟信号往往不可能总是老出现抖动(Jitter)和偏移(Skew)问题。

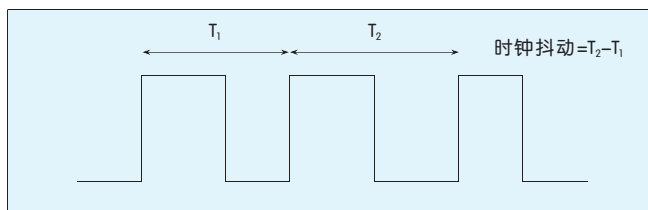
所谓抖动,就是指两个时钟周期之间存在的差值,这个误差是在时钟发生器内部产生的,晶振或者相位同步逻辑(PLL)布线对其没有影响,如图3所示。除此之外,还有一种由于周期内信号的占空比发生变化而引起的抖动,称之为半周期抖动。总的来说,抖动可以是信号本身在传输过程中的一些偶然和不定变化之总和。

时钟相差(Skew)是指两个相同的系统时钟之间的偏移。它表现的形式是多种多样的,既可以是时钟驱动器的多个输出之间的偏移,也可以是由于传输线长度不一致造成的接收端和驱动端时钟信号之间的偏移。

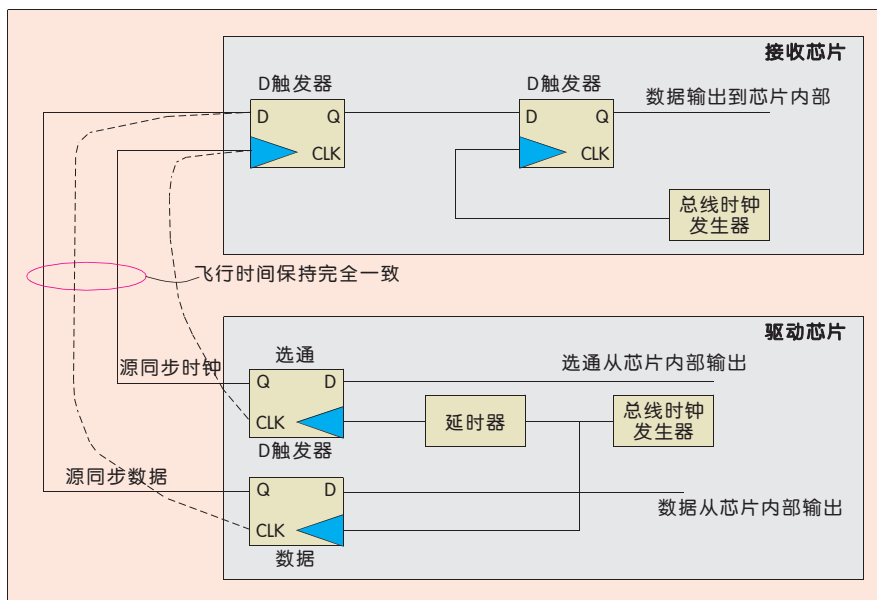
#### 1.4.2 系统同步并行总线系统的缺陷

对于硬件设计工程师来说,保证足够稳定的系统时序最有效的途径就是尽量减小时钟偏移( $T_{skew}$ )、时钟抖动( $T_{jitter}$ )和信号传输的飞行时间( $T_{delay}$ ), $T_{co}$ 是器件本身固有特征,它和芯片本身的性能有关。实际中经常采取的措施就是严格控制时钟和数据的走线长度,调整合理的拓补结构,并尽可能减少信号完整性带来的影响。

但虽然已经考虑得很周全,普通系统同步时钟系统的



▲图3 时钟抖动示意图



▲图4 源同步时钟系统结构

本身的设计“瓶颈”始终是无法打破的，也就是建立时间的约束。实际中人们只能尽可能减少地由印刷电路板(PCB)布线引起的信号时延( $T_{\text{delay}}$ )和时钟偏移( $T_{\text{skew}}$ )。器件本身的特性，如 $T_{\text{co}}$ 、Jitter、 $T_{\text{setup}}$ 等，将成为最主要的制约因素，尽管可以通过提高工艺水平和电路设计技术来不断提高数字器件的性能，但得到的效果也仅是在一定范围之内提升了系统的主频，在频率超过150 MHz的情况下，人们将不得不放弃使用这种系统同步时钟系统设计。因为时钟系统为150 MHz时， $T_{\text{setup}}$ 为6.67 ns减0 ~ 1 ns再减1 ~ 2 ns再减2 ~ 3 ns再减1 ~ 2 ns，大于0的情况已经很难满足了。因此目前同步时钟系统最高时钟基本上很难超过133 MHz。

## 2 源同步并行总线

### 2.1 源同步并行总线标准

随着通信系统对带宽需求的增长，根据上面的时序分析，由于其时钟频率限制，系统同步并行总线已经不能满足要求，因此重点已集中在源同步标准总线，此类总线采用多个低压差分信号支持太比特(Terabit)级总带宽。在源同步设计中，时钟和数据通过电路板上的不同线路传输，但要求它们要同时到达接收器。

RapidIO、HyperTransport、SPI-4/Flexbus4<sup>[2]</sup>、POS - PHY Level4以及CSIX<sup>[3]</sup>等其他类似标准一般采用低压差分信号(LVDS)线对实现点到点式应用方式。

### 2.2 源同步并行总线应用模式

典型源同步并行总线标准有CSIX、SPI-4.2(Double)、HyperTransport以及RapidIO等，由于采用源同步方式、点到点的

并行总线形式，总线时钟频率系统同步并行总线能力有很大提高，理论上时钟频率没有限制，一般实际应用的时钟频率在100 MHz ~ 331 MHz之间，总线带宽在5 Gb/s ~ 16 Gb/s之间。ZXR10 T1200电信级超高端路由器和ZXR10 GER电信级高性能路由器中线卡和接口卡之间采用的就是这种源同步方式点到点的并行总线应用形式。

### 2.3 源同步并行总线时序分析

#### 2.3.1 源同步并行总线基本结构

图4是一个基本的源同步时钟系统的结构示意图<sup>[4]</sup>。可以看到，驱动芯片在发送数据信号的同时也产生了选通信号，而接收端的信号脉冲控制数据的读取，因此，这个选通信号也可以称为源同步时钟信号。源同步时钟系统中，数据和

源同步时钟信号是同步传输的，设计时需要考虑的就是如何保证这两个信号的飞行时间完全一致。

#### 2.3.2 源同步并行总线时序

源同步时钟系统中，数据和源同步时钟信号是同步传输的，因此保证这两个信号的飞行时间完全一致，即数据/控制信号飞行时间（即 $T_{\text{delay1}}$ ）和时钟信号飞行时间（即 $T_{\text{delay2}}$ ）相等，这样只要控制在发送端的时序是正确的，那么在接收端就能得到完全正确的时序。整个系统在时序上的稳定性完全体现在数据和选通信号的匹配程度上，包括传输延迟的匹配、器件性能的匹配等。只要数据和选通信号传输延时保持匹配，而且驱动器件和接收器件性能匹配，那么就可以保证系统的时序绝对正确，而对系统的最高时钟频率理论上没有任何限制的。

#### 2.3.3 源同步并行总线的优势和缺陷

和普通系统同步并行总线相比，源同步并行总线在PCB布线的设计上更为方便，设计者只需要严格保证时钟线和数据线线长的匹配就行了，而不用太多地考虑信号走线。然而尽管源同步数据传输在理论上突破了频率的限制，但随着频率的提高，在控制时钟信号和数据信号之间的偏移上也变得越来越困难，因为在源同步设计中，时钟和数据通过电路板上的不同线路传输，但要求它们要同时到达接收器。随着设计速度的提高，如600 MHz以上时钟频率时，对于设计人员来说这成为一个非常具有挑战性的任务，因为设计人员要管理与并行总线实施相关联的通道与通道畸变、抖动和信号占空比变形等问题，同时还要达到带宽要求。这种情况下一些信号完整性因素带来的影响很突出，时刻不能忽略信号完整性对时序的影响，比如串扰会影响微带线传播延迟；反射会造成数据信号波动，从而





▲图5 超高速串行总线应用模式

影响最大/最小飞行时间;时钟走线的干扰会造成一定的时钟偏移。有些误差或不确定因素是仿真中无法预见的。而且目前的高速系统设计中,往往综合应用了普通时钟和源同步时钟技术,比如对于地址/控制信号采用普通时钟总线,而高速的数据传输则采用源同步时钟总线,所有这些限制了源同步时钟系统中频率提升的空间。

### 3 超高速串行总线

#### 3.1 超高速串行总线标准

随着源同步总线设计速度的提高,对于设计人员来说总线设计成为一个非常具有挑战性的任务,因为设计人员要管理与并行总线实施相关联的通道与通道畸变、抖动和信号占空比变形等问题,同时还要达到带宽要求。人们终于认识到源同步并行总线难于实施,从而正逐渐缓慢地转向采用高速串行I/O。高速串行标准利用嵌入式时钟获得每对信号,一般都采用低压差分信号(LVDS)数吉比特每秒的带宽,而且最少用4个引脚(一对用于发送,一对用于接收)就可做到。这在简化系统设计和降低总体系统成本方面带来巨大的利益。当电路板上的管脚数量降低时,电路板的布线性能提高了,电路板空间利用效率更高,连接器的尺寸也变小了。这带来了设计灵活性,并可节约总体系统成本。更为重要的是在控制时钟信号和数据信号偏移(Skew)方面,串行I/O技术利用嵌入式时钟方案来通过同一条信号线同时发送时钟和数据,从而避免了与板级时钟畸变相关的问题。

PCI Express (3GIO)、Fibre Channel、XAUI、InfiniBand以及RapidIO Serial等其他类似标准一般采用高速串行链路(HSSL)点对点应用方式。

#### 3.2 超高速串行总线应用模式

典型超高速串行总线和源同步并行总线方式相比,超高速串行总线在控制时钟信号和数据信号偏移(Skew)方面,利用嵌入式时钟方案来通过同一条信号线同时发送时钟和数据,从而避免了源同步并行总线中与板级时钟畸变相关的问题(见图5)。总线时钟频率比源同步并行总线有很

大提高,一般实际应用的时钟频率在2.5 GHz~5 GHz之间,1对高速串行差分信号(x1模式)带宽在2.5 Gb/s~5 Gb/s之间,4对高速串行差分信号(x4模式)带宽在10 Gb/s~20 Gb/s之间,8对高速串行差分信号(x8模式)带宽在20 Gb/s~40 Gb/s之间,16对高速串行差分信号(x16模式)带宽在40 Gb/s~80 Gb/s之间,32对高速串行差分信号(x32模式)带宽在80 Gb/s~160 Gb/s之间。ZXR10 T1200电信级高端路由器中线卡和交换卡之间采用的就是这种超高速点到点的串行总线应用形式。

### 4 结束语

随着信号频率的提高,并行总线由于自身缺陷,已经不适合进行高速传输,高速串行点对点连接将代替传统的并行接口;数据交换也不再是简单地通过驱动电路和并行数据线进行,而是通过特殊的串行高速总线连接。传统的在一条总线上同时挂载多个设备的模式已经逐渐消亡,总线功能被一个集中式的交换模块取代。而交换模块和各个设备都是通过高速串行点对点的方式进行连接。传统的并行总线中除数据线外,有相当一部分是用于发出控制和握手信号的控制线。而在高速串行总线中,这些功能和数据集成在了一起,数据和控制信号混合在一起打包进行传送。当然,技术没有好坏之分,只有适合与否,尤其是在应用需求日趋多元化的今天,因此在今后一段时间内传统并行总线和超高速串行总线的发展应该是相辅相成的。

### 5 参考文献

- [1] OIF-SPI3-01.0 Russ Tuck Implementation Agreement [S].
- [2] OIF-SPI4-02.0 Russ Tuck. Implementation Agreement [S].
- [3] Palo Alto, CA USA. CSIX-L1: Common Switch Interface Specification-L1 [Z].
- [4] Stephen H Hall. High-Speed Digital System Design [Z].

收稿日期:2005-01-27

#### 作者简介



刘衡祁,中兴通讯股份有限公司数据事业部设计开发一部硬件开发经理,先后从事ZXR10 T64E、ZXR10 T128、ZXR10 GAR以及ZXR10 T1200等数据产品的开发。



李为彬,中兴通讯股份有限公司数据事业部系统部硬件总监,先后从事ZXR10 T64E、ZXR10 T128、ZXR10 GAR以及ZXR10 T1200等数据产品的总体方案设计。