基于130 nm SiGe BiCMOS工艺的相控阵H波段滑动中频收发机芯片组

An H-band Sliding-IF Transmitter and Receiver Chipset for Phased Array in 130 nm SiGe BiCMOS

傅守青/Fu Shouqing，廖权钦/Liao Quanqin，
陈文华/Chen Wenhua

（清华大学，中国 北京 100084）
(Tsinghua University, Beijing 100084, China)

DOI：10.12142/ZTETJ.202605007
网络出版地址：https://link.cnki.net/urlid/34.1228.tn.20261103.1554.002
网络出版日期：2026-10-28
收稿日期：2026-07-25

摘要：提出了一种面向太赫兹相控阵应用的高性能H波段发射机和接收机芯片组，该芯片组采用了滑动中频移相架构。所用收发机由一个以功率放大器（PA）为末级的发射机和一个以低噪声放大器（LNA）为首级的接收机组成。该芯片组基于130 nm SiGe BiCMOS工艺流片实现。测试结果表明，发射机在246～282 GHz频率范围内表现出优异的宽带性能，其峰值变频增益（CG）为24.9 dB，输出功率为8.5 dBm。接收机实现了15.5 dB的峰值变频增益，最大输入1dB压缩点为−22.5 dBm，在248~258 GHz范围内的仿真最小噪声系数（NF）为14.2 dB。该收发机还具备6位移相能力，其均方根（RMS）增益误差为0.16 dB，RMS相位误差为1.2°。所提架构和电路技术为硅基太赫兹相控阵系统提供了一种很有前景的解决方案。

关键词：太赫兹；收发机；滑动中频；PA-Last发射机；LNA-First接收机

Abstract: This paper presents a high-performance H-band transmitter and receiver chipset that employs a sliding intermediate-frequency phase-shifting architecture for terahertz phased-array applications. This transceiver consists of a power amplifier (PA)-last transmitter and a low noise amplifier (LNA)-first receiver. Fabricated in a 130 nm SiGe BiCMOS technology, the transmitter demonstrates broadband performance from 246 GHz to 282 GHz with a peak conversion gain (CG) of 24.9 dB and an output power of 8.5 dBm. The receiver achieves a peak CG of 15.5 dB, a maximum input 1 dB compression point (IP1dB) of −22.5 dBm, and a simulated minimum noise figure (NF) of 14.2 dB over 248-258 GHz. The transceiver also provides 6-bit phase-shifting capability with 0.16 dB RMS gain error and 1.2° RMS phase error. The proposed architecture and circuit techniques offer a promising solution for silicon-based THz phased-array systems.

Keywords: terahertz; transceiver; sliding intermediate-frequency; PA-last transmitter; LNA-first receiver

引用格式：傅守青, 廖权钦, 陈文华. 基于130 nm SiGe BiCMOS工艺的相控阵H波段滑动中频收发机芯片组 [J]. 中兴通讯技术, 2026, 32(5): 45-52. DOI: 10.12142/ZTETJ.202605007
Citation: Fu S Q, Liao Q Q, Chen W H. An H-band sliding-IF transmitter and receiver chipset for phased array in 130 nm SiGe BiCMOS [J]. ZTE technology journal, 2026, 32(5): 45-52. DOI: 10.12142/ZTETJ.202605007

太赫兹频段在通信、智能传感和雷达等应用中展现出重要潜力。随着5G基础设施的大规模部署，面向通信的太赫兹技术已成为学术界与工业界的新兴研究前沿。其代表性应用包括D波段（110～170 GHz）无线回传[1-2]、集成传感与通信、H波段（220～320 GHz）超高速短距离通信[3]，以及更高频率的星地无线链路。IEEE 802.15.3d标准于2017年发布，面向工作在252～322 GHz免许可频段的无线电系统[4]。当前，太赫兹电路与系统的研发正受到越来越广泛的关注。

太赫兹集成电路的制造技术对系统级性能、成本和集成密度有着关键影响。在亚太赫兹频段集成电路设计中广泛应用的先进半导体工艺包括互补金属氧化物半导体（CMOS）、

基金项目：国家自然科学基金项目（62434004）

SiGe BiCMOS及III–V族化合物半导体工艺[1–3,5]。衡量特定工艺能力的关键指标是截止频率（f_T）和最大振荡频率（f_{max}）。在先进的130 nm SiGe BiCMOS工艺中，SiGe异质结双极晶体管（HBT）展现出可与III–V族化合物半导体相媲美的频率特性，实现了f_T/f_{max} = 470/650 GHz[6]。随着SiGe HBT特征尺寸持续缩小，其频率性能有望进一步提升[7]。因此，硅基工艺预计将在太赫兹电路设计中日益受到青睐，并有助于实现低成本、高集成度、多功能的太赫兹无线系统。

在硅基工艺中，当晶体管工作于f_{max}附近时，有限的功率增益、显著的寄生效应以及工艺设计套件（PDK）的模型误差等问题会愈发突出[8]。为提升太赫兹系统性能，学界已研究多种收发机（TRx）架构。按末级器件类型，硅基太赫兹发射机架构可分为3类：末级采用倍频器[9–12]、末级采用混频器[13–16]以及末级采用功率放大器（PA）[17–23]。其中，以PA作为末级的方案通常被认为最具实用性：PA能够提供可观的输出功率与链路增益，从而增加传输距离并支持复杂高阶调制[17–19,21,23]。类似地，在接收机设计中，与混频器前置拓扑[24]相比，低噪声放大器（LNA）前置架构[13]通常具有更低的噪声系数、更高的增益与线性度。然而，当工作频率逼近f_T/f_{max}时，PA与LNA难以同时兼顾充足的输出功率、增益和低噪声系数。与此同时，混频器等其他功能模块的性能退化会进一步限制系统整体效率，削弱PA后置、LNA前置架构本身的优势。由此可见，仅依靠选择前置或末级器件类型并不充分，对整条信号链路进行电路功能的优化分配，才是实现高性能硅基太赫兹前端的关键。

为应对上述挑战，本研究提出了一种面向高性能太赫兹收发机的H波段滑动中频移相架构。该架构通过有效降低混频器、移相器和本振链等关键组件的工作频率，同时保持高集成度，从而缓解电路级限制并提升整体系统性能。基于这一架构概念，结合多项电路级先进技术，在130 nm SiGe BiCMOS工艺平台上成功实现了H波段单通道太赫兹发射机和接收机；所实现的收发机具有高转换增益（CG）、高输出功率、优异线性度、宽带宽和移相能力。

1 H波段收发机架构

为实现高性能H波段硅基太赫兹发射机和接收机，不仅需要提升单个器件的性能，还必须对整体系统架构进行全面研究。本研究旨在利用PA末级（PA–last）发射机与LNA前置（LNA–first）接收机架构的优势，并进一步提升其整体性能。本节通过比较硅基太赫兹收发机的多种频率转换与移相架构，分析收发机链路中组件布局的影响。

1.1 变频系统架构对比

太赫兹发射机本质上将低频信号上变频至太赫兹频率，接收机则执行相反的下变频过程。在此类系统中，各组件的工作频率与电路性能均与频率转换方案密切相关。因此，在太赫兹收发机设计中，选择合适的频率转换架构至关重要。常用的收发机架构包括直接上/下变频、超外差以及滑动中频方案。

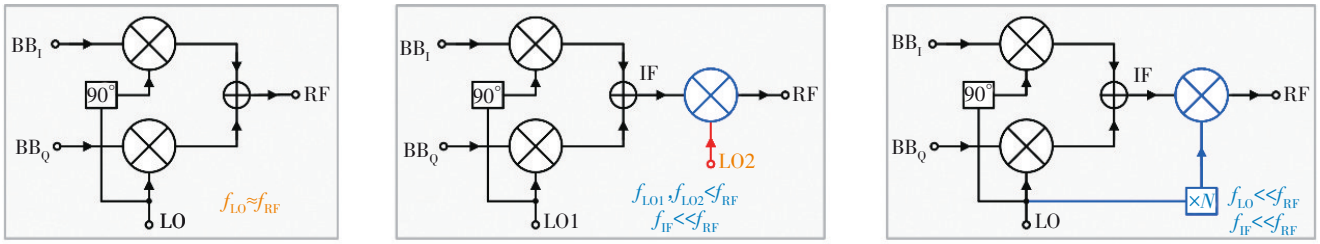
如图1（a）所示，直接上/下变频架构采用正交混频器抑制镜像信号，从而实现高镜像抑制。由于仅使用一个本振，系统结构紧凑，且高本振频率可实现宽调制带宽。然而，在硅基太赫兹收发机中，直接变频要求本振频率（f_{LO}）接近射频频率（f_{RF}）。这会逼近工艺极限，使混频器和本振链路的转换增益与输出功率下降，并加重PA和LNA的设计负担。此外，在200 GHz以上，本振链路中倍频器的功耗可与PA相当甚至更高。尽管谐波混频器可降低对本振频率的要求，但其转换增益会相应下降。同时，晶体管非线性模型在f_T/f_{max}附近的精度不足，进一步影响仿真与测试的一致性。

如图1（b）所示，在直接变频架构中增加一级频率转换，即构成超外差架构。此时，射频频率满足$f_{RF} = f_{LO1} + f_{LO2}$。通过合理选择$f_{LO1}$与$f_{LO2}$，可使除PA和LNA外的所有组件均工作在适中频率，同时实现较高的射频频率。这有助于提升模型精度与器件性能，并缓解电路模块之间的性能折中问题。此外，当选择较高的f_{LO1}以产生大中频时，两个本振与中频在频率上能够良好分离。因此，即使不采用正交混频，也能实现优异的本振抑制与镜像抑制。然而，该架构需要两个独立的本振源，会增加电路设计复杂度并降低系统集成度。

在超外差架构基础上，将第一级本振源倍频以生成第二级本振源，即可构成滑动中频（sliding–IF）架构，如图1（c）所示。设倍频因子为N，则射频频率为$f_{RF}=(N+1)\times f_{LO}$。为调谐$f_{RF}$，本振频率$f_{LO}$需相应变化，从而形成“滑动”的中频。通过合理选择$f_{LO1}$与$N$，该架构可在实现较高射频频率的同时，获得优异的镜像抑制与本振抑制，并使器件工作在较低频率。滑动中频架构继承了超外差架构的优点，且仅需单个本振源，因而提高了系统集成度。总体而言，该架构在本振源数量、本振与射频频率比、器件工作频率、镜像抑制与本振抑制之间实现了最佳折中，是高性能H波段硅基太赫兹收发机最具前景的选择。

1.2 移相架构对比

通过波束控制，相控阵可实现更高的等效全向辐射功率（EIRP）与更强的空间滤波能力。因此，需将移相器集成到



（a）直接变频架构　（b）超外差架构　（c）滑动中频架构

BB_I：I路基带信号　BB_Q：Q路基带信号　IF：中频信号　LO：本振信号　RF：射频信号

图1　3种硅基太赫兹收发机架构

太赫兹收发机的信号路径中，其性能直接决定波束赋形精度。根据移相器插入位置的不同，太赫兹收发机可分为射频移相、本振移相和中频移相架构。

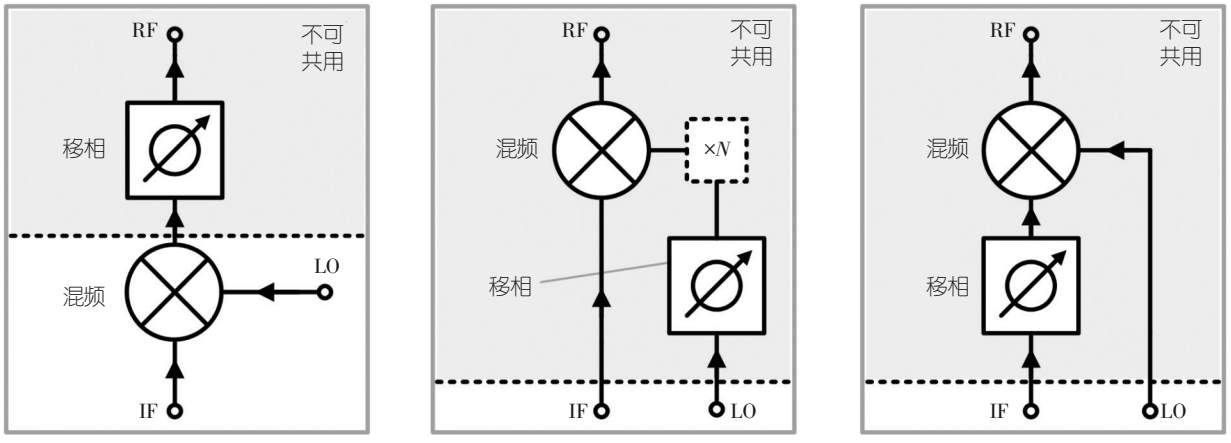
如图2（a）所示，在射频移相架构中，移相器直接工作于射频频率，可使所有阵列通道共享同一混频器与本振链路，并使系统集成度最大化。然而，由于射频频率接近f_T/f_{max}，基于开关、矢量调制器或反射结构的移相器在增益、线性度和相位精度方面均会出现严重退化。

如图2（b）所示，本振移相架构通过在本振信号上实施相位控制，可减轻射频路径中增益变化的影响。然而，每个通道均需独立的混频器，导致系统级集成度下降。本振移相又可进一步分为高本振与低本振两种配置。在高本振配置中，移相器位于本振链路末端，工作于较高的本振频率，可能造成混频器本振驱动不足，需额外增加驱动放大器，从而增大功耗并降低集成度。在低本振配置中，移相器置于倍频器之前，性能更优；但倍频过程中的相位变化会降低相位精度，对移相器本身的性能提出更高要求。

将相位控制转移至中频域，即得到图2（c）所示的中频移相架构。由于工作频率明显降低，中频移相器可实现优异性能，并放宽对前级与后级模块的要求。然而，与本振移相类似，混频器无法在通道间共享，导致集成度略有降低。与低本振方案相比，中频移相可避免频率倍增引起的相位精度退化，同时允许所有通道共享同一本振链路，从而获得更好的相位精度与紧凑性。总体而言，中频移相架构在性能与集成度之间取得了更好的折中，因而在太赫兹系统中更受青睐。

2 所提出收发机系统架构及关键组成模块

根据上述分析，本文提出了一种面向高性能硅基太赫兹收发机的滑动中频移相架构。该架构将滑动中频与中频移相



（a）射频移相架构　（b）本振移相架构　（c）中频移相架构

IF：中频信号　LO：本振信号　RF：射频信号

图2　不同硅基太赫兹收发机移相架构对比

相结合，并采用PA-last设计，具有以下关键优势：

首先，带有倍频器的本振链路明显降低了所需的外部f_{LO}。通过选择适当的倍频因子M和N，中频（f_{IF}）、第二本振频率（f_{LO2}）与射频频率（f_{RF}）满足以下关系：

$$f_{RF} = M(N+1)f_{LO} \quad (1)。$$

首先，该架构减轻了多通道阵列中的本振分配损耗，并增强了系统的可扩展性。其次，两级频率转换降低了本振链路与混频器等关键前端模块的工作频率，从而保证其性能。第三，正交混频器本身即可抑制镜像分量；该架构允许采用非正交的第二混频器，从而降低本振输入功率与功耗，同时借助匹配网络的滤波功能保持优异的镜像抑制与本振抑制能力。最后，由于中频频率远低于射频频率，在中频域进行相位控制可在相位精度、链路增益与系统集成度之间实现最佳折中。

图3（a）与图3（b）分别给出了发射机和接收机芯片的系统框图。可以看出，该芯片主要由两级本振链路、两级上/下变频混频器、移相器、功率放大器及低噪声放大器组成。为了提升整体带宽，系统射频频率范围设为240～300 GHz。两级本振链路分别采用第一级四倍频器和第二级二倍频器，倍频因子为M=4、N=2。据此，输入本振频率f_{LO}为20～25 GHz，第一中频频率f_{IF}为80～100 GHz，第二本振频率f_{LO2}为160～200 GHz。

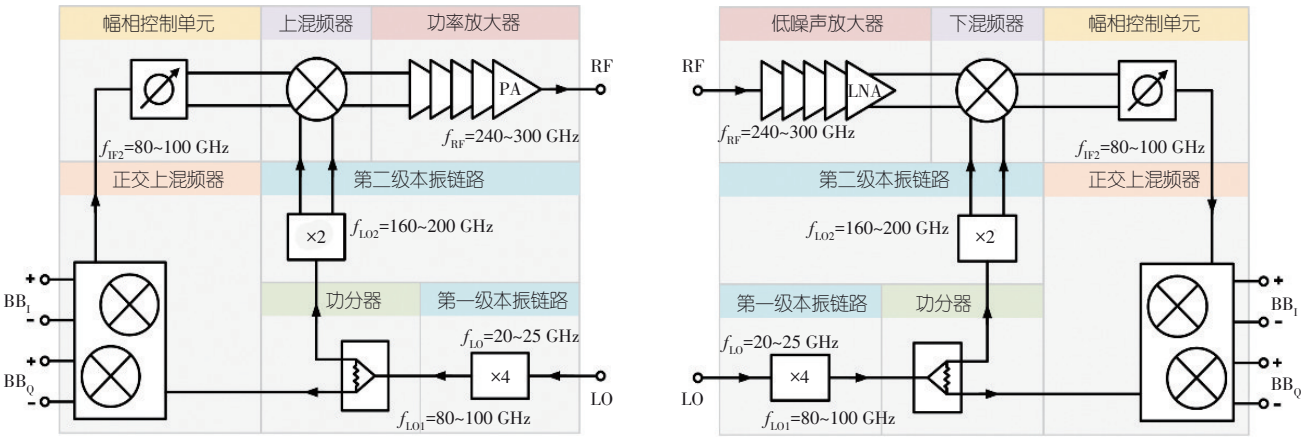
为最大化发射机传输距离并提升接收机线性度，发射机末级H波段的PA采用基于耦合三导体巴伦的宽带功率合成器。接收机第一级H波段LNA采用五级差分架构，并引入增益增强共源共栅有源巴伦结构，以提升紧凑性、增益和线性度。图4（a）展示了发射机芯片的仿真CG与饱和输出功率（P_{sat}）。在240～300 GHz范围内，该芯片实现了23.0～26.5 dB的CG和11.3～12.8 dBm的P_{sat}。图4（b）给出了270 GHz处的输出1 dB压缩点（OP_{1dB}）。图4（c）和图4（d）展示了接收机芯片的仿真CG结果以及282 GHz处的功率扫描结果。该接收机在264～296 GHz范围内达到21.3 dB的峰值CG；在带宽内，输入1 dB压缩点（IP_{1dB}）为−29 dBm。

3 测试结果

本文利用所提出的系统架构和器件技术，基于130 nm SiGe BiCMOS工艺，设计并实现了H波段高性能硅基太赫兹发射机芯片和接收机芯片。发射机和接收机芯片的面积分别为1.12×1.45 mm²和1.12×1.51 mm²。

3.1 转换增益及输出功率测试

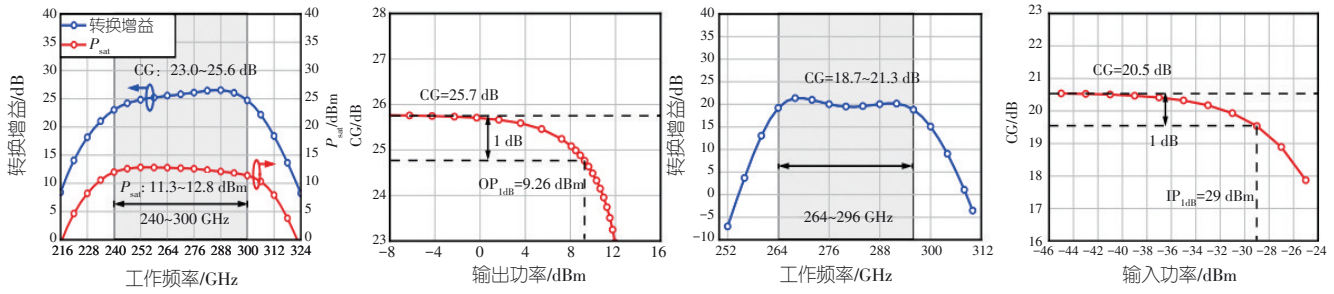
发射机芯片的测试装置如图5（a）所示。信号发生器为第一级正交上变频混频器提供所需的低频本振信号和中频信号：低频本振信号经探针馈入芯片，中频信号则通过超小A型连接器（SMA）转IPEX电缆传输至印制电路板（PCB），再经引线键合进入芯片。芯片的射频输出信号经探针探测后，由外部扩频模块下变频至中频，最后由频谱分析仪进行分析。外部扩频模块的本振信号由矢量网络分析仪提供。



（a）H波段单通道发射机的系统框图　　（b）H波段单通道接收机的系统框图

BB_I：I路基带信号　IF：中频信号　PA：功率放大器
BB_Q：Q路基带信号　LO：本振信号　RF：射频信号

图3　所提出的收发机系统架构



（a）发射芯片CG与P_{sat}　（b）发射芯片OP_{1dB}　（c）接收芯片CG　（d）接收芯片IP_{1dB}

CG：转换增益　IP_{1dB}：输入功率1 dB压缩点

图4　所提出的收发机系统的仿真结果

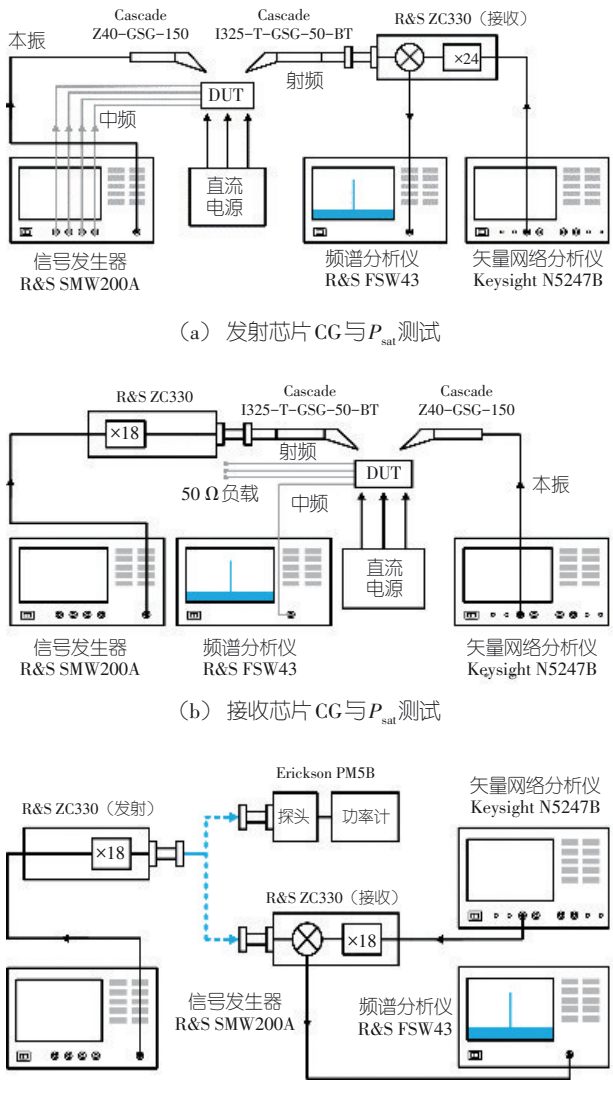
图5（b）展示了接收机测量装置。矢量网络分析仪提供低频本振信号，信号发生器通过扩频模块产生射频信号。频谱分析仪采集其中1个输出端口的中频信号，其余3个输出端口则端接50 Ω负载。

为根据测得的中频功率准确计算收发机的输出功率与CG，必须对扩频模块引入的频率转换损耗进行校准。如图5（c）所示，校准过程首先测量扩频模块的参考输出功率，以确定发射侧转换损耗；随后将参考发射机的输出直接接入另一扩频模块，并记录频谱分析仪接收到的中频功率，以提取接收侧转换损耗。射频探针与扩频模块之间的波导损耗亦纳入整体转换损耗校准。

基于上述测量装置可知，通过调节第二级上变频混频器的基极偏置电压V_B，发射机可工作于高增益模式和宽带模式两种状态。当V_B=0.6 V时，发射机工作于高增益模式。如图6（a）所示，在中频固定为100 MHz时，通过扫描输入中频功率与本振频率可知，该芯片在目标240～300 GHz频段内实现了高于22 dB的转换增益，并在282 GHz处达到31 dB的峰值。同时，该频段内的饱和输出功率（P_{sat}）为6.0～9.0 dBm。图6（b）显示，本振抑制比与镜像抑制比分别超过25 dBc和22 dBc。

当V_B降低至0.45 V时，发射机切换至宽带模式。如图6（c）所示，该芯片在246～282 GHz的宽射频范围内实现了23.1～24.9 dB的平坦转换增益、7.2～8.5 dBm的饱和输出功率以及4.6～6.6 dBm的输出1 dB压缩点（OP_{1dB}）。图6（d）给出了264 GHz处测得的功率扫描结果，其中OP_{1dB}达到6.6 dBm。如图6（e）所示，测得功率附加效率（PAE）为0.61%～0.83%，总直流功耗低于0.9 W。与高增益模式类似，图6（f）显示该芯片在240～300 GHz频段内具有优异的本振抑制与镜像抑制，分别超过31 dBc和24 dBc。

图7（a）给出了接收机测得的CG、输入1 dB压缩点



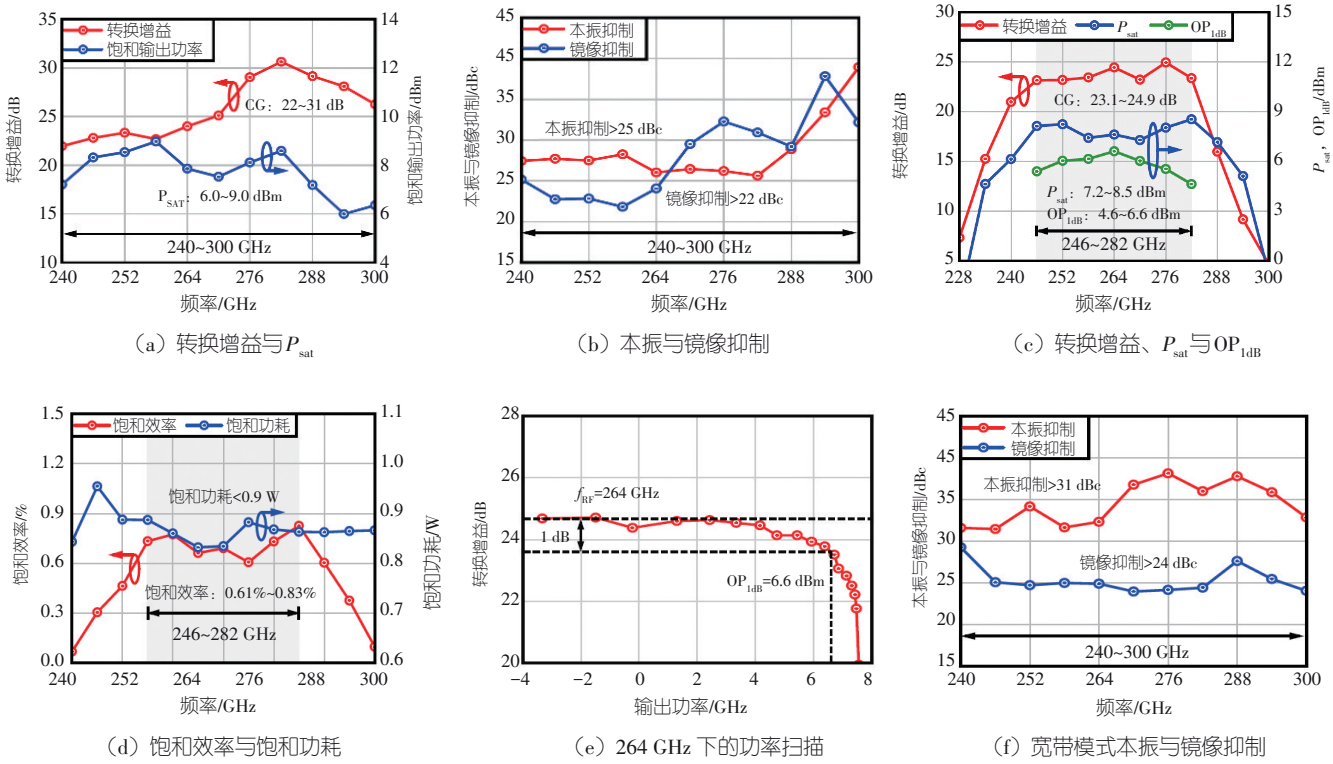
（a）发射芯片CG与P_{sat}测试

（b）接收芯片CG与P_{sat}测试

（c）发射芯片的变频损耗校准环境

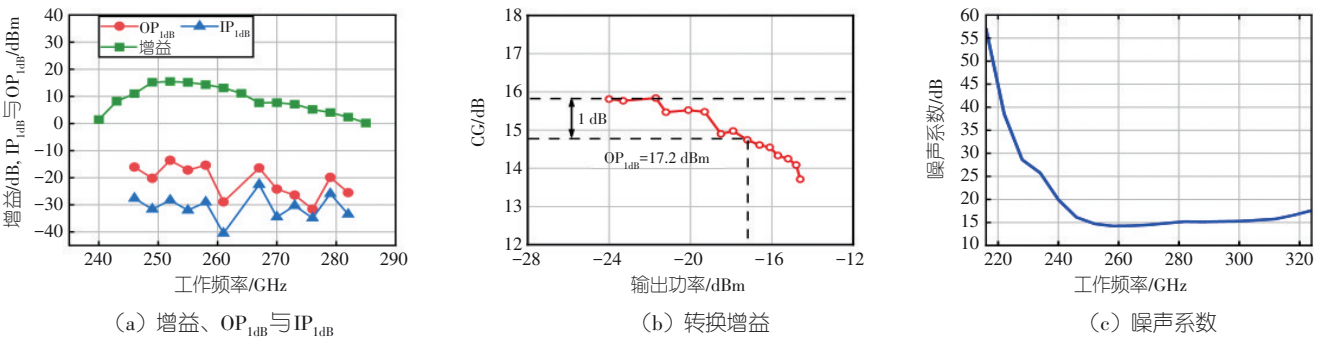
CG：变频增益　DUT：待测芯片

图5　测试环境示意图



CG：转换增益　LO：本振信号　OP_{1dB}：输出功率1dB压缩点

图6　发射机芯片测试结果



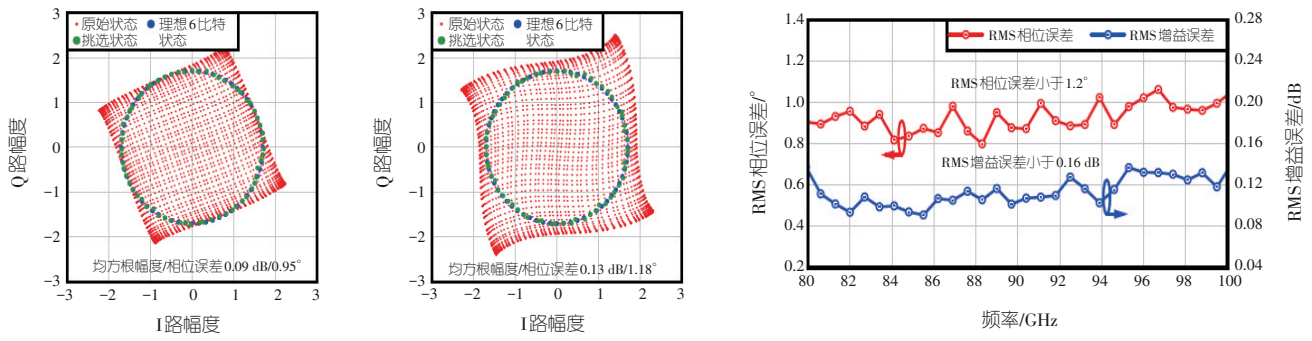
CG：转换增益　IP_{1dB}：输入功率1dB压缩点　OP_{1dB}：输出功率1dB压缩点

图7　接收机芯片测试结果

（IP_{1dB}）与输出1 dB压缩点（OP_{1dB}）。实验测得的峰值增益为15.5 dB，3 dB带宽为248～258 GHz。在246～264 GHz范围内，增益保持在10 dB以上，可满足实际应用需求。测得的最大OP_{1dB}与IP_{1dB}分别为−13.6 dBm和−22.5 dBm。图7（b）给出了255 GHz处的功率扫描结果。受测量设备限制，图7（c）仅给出仿真噪声系数，其最佳噪声系数为14.2 dB。

3.2 移相性能测试

由于收发机输入与输出频率存在差异，移相器亦被制成独立测试芯片，以评估所设计收发机的移相能力。计入额外输出匹配网络与直流焊盘扩展后，总芯片面积为540×940 μm²。测量由配备扩频模块的矢量网络分析仪完成。计算机控制的直流电源为移相器提供控制电压，并从矢量网



（a）80 GHz移相状态扫描　（b）100 GHz移相状态扫描　（c）RMS增益与相位误差测试结果

RMS：均方根

图8　移相器性能测试结果

络分析仪采集小信号增益数据。控制电压步长为5 mV，每个频率获得57×57=3 249个相位状态测量点。如图8（a）和图8（b）所示，当目标增益设为4.6 dB（对应增益圆半径为1.7）时，该芯片在80 GHz和100 GHz处均实现6位相位分辨率，分别对应收发机中的240 GHz和300 GHz射频频率。测得的均方根（RMS）增益/相位误差分别为0.09 dB/0.95°和0.13 dB/1.18°。如图8（c）所示，在80～100 GHz范围内，RMS增益误差和相位误差分别保持在0.16 dB和1.2°以下。

4 结束语

我们研制了一款面向太赫兹相控阵应用的高性能H波段发射机与接收机芯片组，采用滑动中频移相架构。该设计融合了多项关键电路创新：用于宽带PA实现的改进型三导体巴伦，以及在五级LNA中采用的增益增强共源共栅有源巴伦，从而提升增益、线性度与紧凑性。芯片组基于130 nm SiGe BiCMOS工艺实现，发射机工作频率为246～282 GHz，接收机工作频率为248～258 GHz，峰值转换增益分别为24.9 dB和15.5 dB。该收发机在输出功率、线性度与相位控制方面表现出优异性能，具有6位相位分辨率及极小的均方根误差。上述结果验证了所提架构与电路技术的有效性，为未来硅基太赫兹相控阵系统提供了一种可扩展且高能效的解决方案。

参考文献

[1] Tezergil B, Onur E. Wireless backhaul in 5G and beyond: issues, challenges and opportunities [J]. IEEE communications surveys & tutorials, 2022, 24(4): 2579–2632. DOI: 10.1109/COMST.2022.3203578
[2] Deng W, Chen Z P, Jia H K, et al. A D–band joint radar–communication CMOS transceiver [J]. IEEE journal of solid–state circuits, 2023, 58(2): 411–427. DOI: 10.1109/JSSC.2022.3185160
[3] Petrov V, Kurner T, Hosako I. IEEE 802.15.3d: first standardization efforts for sub–terahertz band communications toward 6G [J]. IEEE communications magazine, 2020, 58(11): 28–33. DOI: 10.1109/MCOM.001.2000273
[4] IEEE 802.15.3d–2017 100 Gbit/s wireless switched point–to–point physical layer [S]
[5] Davies A G, Burnett A D, Fan W H, et al. Terahertz spectroscopy of explosives and drugs [J]. Materials today, 2008, 11(3): 18–26. DOI: 10.1016/S1369–7021(08)70016–6
[6] Mohamed E, Fischer G, Mausolf T, et al. 220 – 320 GHz J–band 4–way power amplifier in advanced 130 nm BiCMOS technology [J]. IEEE microwave and wireless components letters, 2022, 32 (11): 1335–1338. DOI: 10.1109/lmwc.2022.3181407
[7] Zimmer T, Böck J, Buchali F, et al. SiGe HBTs and BiCMOS technology for present and future millimeter–wave systems [J]. IEEE journal of microwaves, 2021, 1(1): 288–298. DOI: 10.1109/JMW.2020.3031831
[8] Mei X B, Yoshida W, Lange M, et al. First demonstration of amplification at 1 THz using 25–nm InP high electron mobility transistor process [J]. IEEE electron device letters, 2015, 36(4): 327–329. DOI: 10.1109/LED.2015.2407193
[9] Park J D, Kang S, Thyagarajan S V, et al. A 260 GHz fully integrated CMOS transceiver for wireless chip–to–chip communication [C]//Proceedings of Symposium on VLSI Circuits (VLSIC). IEEE, 2012: 48–49. DOI: 10.1109/VLSIC.2012.6243783
[10] Deng X D, Li Y H, Li J K, et al. A 320–GHz 1×4 fully integrated phased array transmitter using 0.13 μm SiGe BiCMOS technology [J]. IEEE transactions on terahertz science and technology, 2015, 5(6): 930–940. DOI: 10.1109/TTHZ.2015.2477604
[11] Yang Y, Gurbuz O D, Rebeiz G M. An eight–element 370 – 410 GHz phased–array transmitter in 45–nm CMOS SOI with peak EIRP of 8 – 8.5 dBm [J]. IEEE transactions on microwave theory and techniques, 2016, 64(12): 4241–4249. DOI: 10.1109/tmtt.2016.2613850
[12] Hara S, Dong R B, Lee S, et al. A 76 Gbit/s 265 GHz CMOS receiver with WR–3.4 waveguide interface [J]. IEEE journal of solid–state circuits, 2022, 57(10): 2988–2998. DOI: 10.1109/JSSC.2022.3179560
[13] Katayama K, Takano K, Amakawa S, et al. A 300 GHz CMOS transmitter with 32–QAM 17.5 Gbit/s/ch capability over six

channels [J]. IEEE journal of solid-state circuits, 2016, 51(12): 3037-3048. DOI: 10.1109/JSSC.2016.2602223
[14] Takano K, Amakawa S, Katayama K, et al. 17.9 A 105 Gbit/s 300 GHz CMOS transmitter [C]//Proceedings of IEEE International Solid-State Circuits Conference (ISSCC). IEEE, 2017: 308-309. DOI: 10.1109/ISSCC.2017.7870384
[15] Yu J Y, Chen J X, Zhou P G, et al. A 300 GHz transmitter front end with 4.1 dBm peak output power for sub-THz communication using 130 nm SiGe BiCMOS technology [J]. IEEE transactions on microwave theory and techniques, 2021, 69 (11): 4925-4936. DOI: 10.1109/tmtt.2021.3103574
[16] Lee S, Hara S, Yoshida T, et al. An 80-Gb/s 300-GHz-band single-chip CMOS transceiver [J]. IEEE journal of solid-state circuits, 2019, 54(12): 3577-3588. DOI: 10.1109/jssc.2019.2944855
[17] Tang D W, Xia X Y, Yan Z, et al. 24.1 a 90-to-180 GHz APD-integrated transmitter achieving 18 dBm psat in 28 nm CMOS [C]//Proceedings of IEEE International Solid-State Circuits Conference (ISSCC). IEEE, 2024: 411-413. DOI: 10.1109/ISSCC49657.2024.10454268
[18] Li Z K, Chen J X, Li H B, et al. A 220 GHz sliding-IF quadrature transmitter and receiver chipset for high data rate communication in 0.13 μm SiGe BiCMOS [J]. IEEE journal of solid-state circuits, 2023, 58(7): 1913-1927. DOI: 10.1109/JSSC.2023.3236621
[19] Rodriguez-Vazquez P, Grzyb J, Heinemann B, et al. A QPSK 110 Gbit/s polarization-diversity MIMO wireless link with a 220-255 GHz tunable LO in a SiGe HBT technology [J]. IEEE transactions on microwave theory and techniques, 2020, 68(9): 3834-3851. DOI: 10.1109/tmtt.2020.2986196
[20] Wang Z S, Wang H, Hassan Y O, et al. A CMOS fully integrated 120-Gbps RF-64QAM F-band transmitter with an on-chip antenna for 6G wireless communication [C]//Proceedings of IEEE Radio Frequency Integrated Circuits Symposium (RFIC). IEEE, 2024: 343-346. DOI: 10.1109/RFIC61187.2024.10600049
[21] Callender S, Whitcombe A, Agrawal A, et al. A fully integrated 160 Gbit/s D-band transmitter with 1.1 pJ/b efficiency in 22nm FinFET technology [C]//Proceedings of IEEE International Solid-State Circuits Conference (ISSCC). IEEE, 2022: 78-80. DOI: 10.1109/ISSCC42614.2022.9731663
[22] Eissa M H, Maletic N, Grass E, et al. 100 Gbps 0.8-m wireless link based on fully integrated 240 GHz IQ transmitter and receiver [C]//Proceedings of IEEE/MTT-S International Microwave Symposium (IMS). IEEE, 2020: 627-630. DOI: 10.1109/ims30576.2020.9224101
[23] Eissa M H, Malignaggi A, Wang R Y, et al. Wideband 240-GHz transmitter and receiver in BiCMOS technology with 25 Gbit/s data rate [J]. IEEE journal of solid-state circuits, 2018, 53(9): 2532-2542. DOI: 10.1109/JSSC.2018.2839037
[24] Abdo I, da Gomez C, Wang C, et al. 22.2 a 300 GHz-band phased-array transceiver using bi-directional outphasing and hartley architecture in 65nm CMOS [C]//Proceedings of IEEE International Solid-State Circuits Conference (ISSCC). IEEE, 2021: 316-318. DOI: 10.1109/isscc42613.2021.9365968

作 者 简 介



傅守青，清华大学在读博士研究生；主要研究方向为人工智能辅助射频集成电路（RFIC）设计自动化，以及面向无线通信与传感应用的硅基毫米波和太赫兹集成电路。



廖权钦，清华大学在读博士研究生；主要研究方向为面向无线通信、雷达和电子战应用的硅基毫米波与太赫兹集成电路及系统。



陈文华，清华大学电子工程系长聘教授、国家杰出青年基金获得者、清华大学微波与天线研究所所长、清华大学-中兴通讯无线接入技术联合研究中心主任、IEEE高级会员、*IEEE Microwave and Wireless Components Letters*编委；主要研究方向为射频功放与线性化技术、集成毫米波与太赫兹电路等；承担国家“973”项目、国家重点研发计划和国家重大专项等项目20余项，研制的射频功放和数字预失真算法在新一代宽频基站中获得规模应用，曾获2018年中国电子学会和2021年中国通信学会科技奖一等奖；发表论文200余篇。