三维异质异构集成电路在星地高速传输收发前端的应用与发展趋势

Applications and Development Trends of Three-Dimensional Heterogeneously Integrated Circuits for High-Speed Space-Ground Transceiver Front-Ends

任朝祥/Ren Zhaoxiang[1]，周亮/Zhou Liang[1]，
倪冬欣/Ni Dongxin[2]

（1.上海交通大学射频异质异构集成全国重点实验室，中国 上海 200240；
2.南京理工大学，中国 南京 210094）
(1. Key Laboratory of RF Heterogeneous Integration, Shanghai Jiao Tong University, Shanghai 200240, China;
2. Nanjing University of Science and Technology, Nanjing 210094, China)

DOI：10.12142/ZTETJ.202605003
网络出版地址：https://link.cnki.net/urlid/34.1228.tn.20261015.1112.002
网络出版日期：2026-10-15
收稿日期：2026-08-05

摘要：异质异构集成通过二维/三维低损耗互连，将互补金属氧化物半导体（CMOS）、硅锗（SiGe）、氮化镓（GaN）和磷化铟（InP）等不同工艺芯片协同集成，可根据星地收发链路中不同功能模块的性能需求实现最优分工。研究表明，低损耗异构互连、三维堆叠及芯片—封装协同设计能够极大缩短极高频信号路径，提高功能密度，并充分发挥Ⅲ-Ⅴ族器件在高功率和低噪声方面的绝对优势，为突破星地太赫兹高速无线传输和星载/地面大规模相控阵系统的性能瓶颈提供了核心技术路径。

关键词：星地通信；亚太赫兹/太赫兹；高速传输；收发前端；Ⅲ-Ⅴ半导体；异质异构集成；三维集成

Abstract: Heterogeneous integration enables the coordinated integration of complementary metal-oxide-semiconductor (CMOS), silicon-germanium (SiGe), gallium nitride (GaN), and indium phosphide (InP) chips through low-loss two-dimensional and three-dimensional interconnects, allowing different functional blocks in the space-ground transceiver chain to be optimally assigned according to their performance requirements. Studies show that low-loss heterogeneous interconnects, three-dimensional stacking, and chip-package co-design can significantly shorten extremely high-frequency signal paths, enhance functional density, and fully exploit the significant advantages of III-V devices in high-power and low-noise performance, thereby providing a core technological pathway for overcoming the performance bottlenecks of high-speed space-ground terahertz wireless transmission and large-scale spaceborne and ground-based phased-array systems.

Keywords: satellite-to-ground communication; sub-terahertz/terahertz; high-speed transmission; transceiver front-end; III-V semiconductors; heterogeneous integration; 3D integration

引用格式：任朝祥, 周亮, 倪冬欣. 三维异质异构集成电路在星地高速传输收发前端的应用与发展趋势 [J]. 中兴通讯技术, 2026, 32(5): 13-20. DOI: 10.12142/ZTETJ.202605003
Citation: Ren Z X, Zhou L, Ni D X. Applications and development trends of three-dimensional heterogeneously integrated circuits for high-speed space - ground transceiver front-ends [J]. ZTE technology journal, 2026, 32(5): 13-20. DOI: 10.12142/ZTETJ.202605003

随着未来第六代通信（6G）“星空地一体化”网络及宽带卫星互联网的快速发展，星地骨干链路对数据传输速率、系统容量和带宽资源的需求呈指数级增长。亚太赫兹/太赫兹频段因其极其丰富的连续频谱资源，可支持数十乃至数百吉比特每秒（Gbit/s）的超高数据传输速率；同时，其较短的波长极大地有利于在星载和地面终端的有限面积内集成超大规模天线阵列。因此，亚太赫兹/太赫兹已成为实现未来星地高速无线传输的核心候选频段。

然而，亚太赫兹/太赫兹波在星地长距离高速传输中面

基金项目：国家自然科学基金项目（62325110、62188102）；国家重点研发计划项目（2023YFB4403802）

临极高的自由空间路径损耗以及复杂的大气衰减，这对收发前端系统提出了极其苛刻的要求：发射端需要极高的输出功率以保证链路预算，接收端需要极低的噪声系数以提高灵敏度，同时系统需要具备大规模多通道相控阵的集成能力。

在亚太赫兹/太赫兹频段，传统的硅基（互补金属氧化物半导体（CMOS）或硅锗双极互补金属氧化物半导体（SiGe BiCMOS））工艺虽然具有极高的集成密度，非常适合实现复杂的数字控制、锁相环和中频网络，但受限于高频下晶体管可用增益的断崖式下降以及严重的衬底损耗，难以满足星地传输对高输出功率和极低噪声的需求。相比之下，以氮化镓（GaN）、磷化铟（InP）和砷化镓（GaAs）为代表的III–V族化合物半导体在高频段具有显著的高击穿电压、大功率密度和优异的低噪声特性，是星地链路射频前端的理想选择，但其在大规模高密度集成能力和成本上存在明显局限。

为了突破单一工艺在星地亚太赫兹/太赫兹频段的性能瓶颈，三维异质异构集成技术成为破局的关键。该技术将化合物半导体的高性能器件与硅基高集成度芯片通过三维低损耗方式垂直互连，能够完美实现星地太赫兹收发系统在“高功率、低噪声”与“高密度、大规模阵列”之间的平衡，是支撑未来星空地海网络跨越式发展的重要技术手段。

1 硅基亚太赫兹/太赫兹无线传输收发前端技术的发展现状

1.1 高集成硅基亚太赫兹/太赫兹收发前端探索

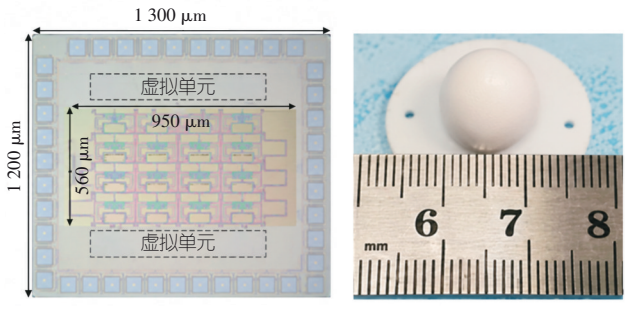
当前，面对星地大容量传输需求，系统必须在海量阵列规模下兼顾成本与功耗。业界在向太赫兹演进的前期探索中，主要依赖CMOS或SiGe BiCMOS技术来实现片上收发前端。香港城市大学陈志豪等[1–3]提出了一系列基于CMOS工艺的二维可扩展辐射阵列，具体如图1所示，利用基波频率下的传输线进行相邻单元的耦合（水平反相、垂直同相），构造可扩展耦合振荡器网络和波束合成技术，在0.45 THz、0.68 THz等频段实现了毫瓦级（mW）的辐射功率。

Saeidi等[4]为了解决大规模阵列中的同步鲁棒性问题，提出底层采用二维分布式振荡器网络（工作在较低的基频，如69 GHz）建立稳健的频率和相位同步，上层通过局部的倍频器和注入锁定振荡器产生太赫兹信号（如416 GHz）。这种“底层同步、上层辐射”的架构降低了工艺偏差（PVT）对同步的影响。Yang等[5]设计了一种链式级联的移相倍频（PSFQ）单元架构，通过在低频段（输出频率的1/4）进行移相和注入锁定，可实现高度可扩展的4×2阵列。由于基波振荡频率受限，这些设计均采用N次谐波提取（N = 2, 3, 4）。为了提高直流到太赫兹（DC–to–THz）转换效率，研究者提出了多种波形整形和阻抗调控技术，主要包括：谐波正反馈与最佳阻抗匹配[1]、共模栅极阻抗调谐与低耦合系数变压器的谐振腔设计结合[6]、二次谐波终端辅助波形整形等技术[7]。为了提高有效各向同性辐射功率（EIRP），需要对片上天线与透镜进行协同设计，例如采用低成本的特氟龙（Teflon）椭圆透镜，配合优化后的衬底加载槽天线阵列，可有效抑制表面波并实现高EIRP。表1是近5年太赫兹辐射源的指标对比。值得注意的是，Koh等[8]采用InP异质结双极晶体管（HBT）技术，将8个独立的振荡器芯片集成在铝制波导结构中。利用非相干功率合成技术，将8路频率未锁定的信号进行空间叠加，实现了12.5 dBm的总辐射功率。2025年，东南大学洪伟院士团队[9]提出了集成多焦点透射阵列的多输入多输出（MIMO）收发机，通过高斯相位校正技术，实现了二维分布式波束和±40°的宽扫描范围，显著提升了通信吞吐量（66.8 Gbit/s）。

1.2 由太赫兹信号源向全集成相控阵收发前端的演进

早期的硅基太赫兹研究多聚焦于片上信号源与辐射器（如表1所示），但完整的星地通信节点需要包含调制解调、收发切换以及波束赋形功能的全集成相控阵收发前端。近年来，随着硅基工艺潜力的深度挖掘，亚太赫兹及太赫兹频段的CMOS与SiGe收发机阵列取得了显著的突破。

在CMOS工艺方面，东京工业大学Kenichi Okada团队在D波段（110～170 GHz，亚太赫兹频段）及300 GHz频段的CMOS相控阵收发机领域[10–11]取得了标志性进展。该团队采用65 nm CMOS工艺开发出150 GHz高功率密度相控阵收发前端模块[12]，通过引入创新的注入锁定三分频移相器，成功去除了传统架构中功耗和面积占比较大的本振（LO）缓冲



（a）太赫兹辐射器阵列芯片照片　（b）带透镜的太赫兹辐射器照片[1]

图1　芯片版图及实物照片

表1　近5年太赫兹源的指标对比

参考文献	[1] 2022 MTT	[2] 2022 JSSC	[3] 2022 JSSC	[4] 2022 JSSC	[5] 2022 JSSC	[6] 2025 JSSC	[7] 2025 MTT	[8] 2024 MWTL
发射/接收	发射	发射	发射	发射	发射	发射	发射	发射
频率/THz	0.47	0.45	0.69	0.41	0.32	0.31	0.32	0.27
带宽/GHz	20	21	37	7	30	36	23	6
阵列规模	4×4	4×4	8×4	4×4	/	4×2	4×2	8
EIRP/dBm	9.8	8.8	27.8	14	2.2	20.3	13.6	12.5
效率/%	0.12	0.16	0.072	0.034	0.91	0.21	0.36	/
辐射单元	片上贴片天线/石英衬底	片上缝隙天线	片上缝隙天线+透镜	片上贴片天线	片上缝隙天线	片上天线+透镜	片上U形贴片天线	喇叭天线
工艺	65 nm CMOS	65 nm CMOS	65 nm CMOS	65 nm CMOS	130 nm SiGe	65 nm CMOS	65 nm CMOS	InP 250 nm HBT

CMOS：互补金属氧化物半导体　JSSC：IEEE固态电路学报　MTT：微波理论与技术学报　MWTL：微波与无线技术快报

器。这一设计不仅实现了高精度的相位控制，还大幅缩减了模块面积。测试结果表明，该八单元相控阵模块在单通道功耗仅150 mW的条件下，实现了高达56 Gbit/s的数据传输速率和25.7 dBm的有效EIRP，极大地提升了硅基芯片在亚太赫兹频段的能量效率与集成密度，为终端设备的微型化提供了重要参考。在SiGe BiCMOS工艺方面，由于HBT在截止频率（f_T）和击穿电压上相较于标准CMOS具有优势，其在太赫兹阵列中的应用同样活跃。相关研究人员利用0.13 μm SiGe BiCMOS工艺成功展示了工作于320 GHz的1×4全集成相控阵发射机，以及面向240 GHz频段的收发机芯片组。这些研究通过在片上紧密集成基带至太赫兹的变频链路与天线结构，证明了硅基工艺在太赫兹通信及高分辨率MIMO架构中的阵列扩展能力。

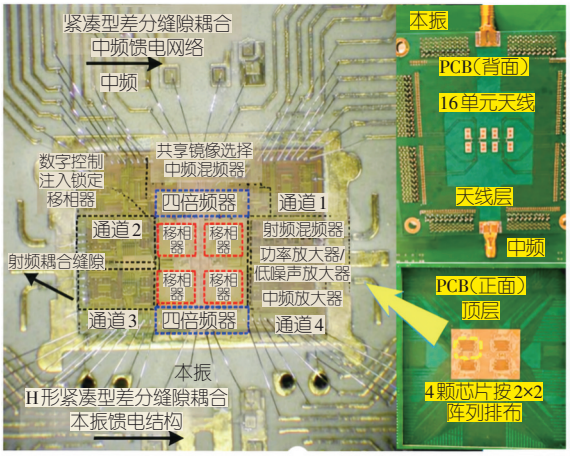
综合来看，高集成硅基亚太赫兹/太赫兹收发前端的探索已经从单一的谐振与辐射结构，迈入包含高阶调制、自干扰消除及二维波束扫描的全系统相控阵阶段。硅工艺在实现超紧凑模块、降低单通道成本以及达成数十吉比特每秒的超高吞吐量方面展现了不可替代的优势。然而，尽管通过架构创新（如谐波提取、多级注入锁定、片上透镜天线协同等）在一定程度上弥补了硅基工艺的性能短板，但受限于硅材料本征的物理极限：低击穿电压导致单通道绝对输出功率受限，高衬底损耗导致无源网络损耗剧增和接收噪声系数恶化。因此，纯硅基方案依然难以完全独立应对星地太赫兹长距离、大衰减环境下的严苛链路预算要求。

因此，为了在星地太赫兹高速传输系统中同时兼顾“高功率、低噪声”与“高密度、复杂波束控制”，系统必须采用超越单一工艺的异质异构集成方案。这自然催生了以III–V族化合物半导体（如InP、GaN）主攻发射/接收端，以硅基芯片主攻基带控制与变频的三维异质异构集成技术，并使其成为突破星地传输性能瓶颈的下一代演进方向。

1.3 收发前端的多通道和阵列化

星地太赫兹通信面临极大的自由空间传播损耗以及特定频段的大气衰减（如水蒸气和氧气吸收）。因此，在利用太赫兹超大带宽的同时，必须依靠庞大的阵列增益来弥补星地链路预算的巨大缺口。由于太赫兹波长极短，高密度相控阵成为星地传输必然的技术演进方向。2020年，Ebrahimi等实现了覆盖71～76 GHz和81～86 GHz的16单元E波段相控阵收发模块[13]，图2展示了芯片照片和测试结果。该系统采用90 nm SiGe BiCMOS工艺，并通过多芯片和天线网络组合形成16单元阵列，实现约30 dBm EIRP和32 dB接收转换增益；在64阶正交幅度调制（64–QAM）条件下支持1.5 GHz调制带宽和9 Gbit/s数据率。该研究表明，亚太赫兹/太赫兹无线传输的性能提升已经不仅依赖单个射频芯片，同时越来越依赖射频芯片、信号分配网络、封装和天线阵列之间的系统级协同。

然而，随着阵列通道数量增加，二维布局所需面积以及LO、射频（RF）和中频（IF）信号分配网络的复杂度快速增加，芯片间较长的互连不仅引入附加插入损耗，还会产生明显的高频寄生电感、电容和电磁兼容问题。与此同时，大规模阵列还面临功耗和热量集中等问题。封装结构因此逐渐从“连接芯片与天线”的外围环节转变为决定亚太赫兹/太赫兹阵列扩展能力的重要组成部分。随着阵列规模不断扩大，芯片与封装的协同设计、封装天线、低损耗互连等异质异构集成逐渐成为亚太赫兹/太赫兹相控阵实现高密度集成和系统扩展的重要技术方向。



(a)四通道毫米波收发芯片及阵列PCB实物图

载波频率	下边带(73 GHz)	上边带(83 GHz)	接收的调制信号频谱
星座图 16 QAM 带宽=2 GHz			1比特频带选择
I/Q失配校准	–	上边带*	
EVM	−18.3 dB	−20.4 dB	
数据速率	8 Gbit/s		
星座图 16 QAM 带宽=1.5 GHz			1比特频带选择
I/Q失配校准	上边带*	–	
EVM	−25.1 dB	−24.2 dB	
数据速率	9 Gbit/s		

*校准针对特定频带(下边带或上边带)进行优化,在相同校准状态下,通过单比特移相器切换将数据发送到另一个频带。

(b)双频段毫米波调制信号接收星座图及频谱

EVM:误差矢量幅度 I/Q:同相/正交 PCB:印制电路板 QAM:正交幅度调制

图2 2×2阵列芯片的照片和测试结果[13]

1.4 硅基收发前端在星地太赫兹链路中的主要瓶颈

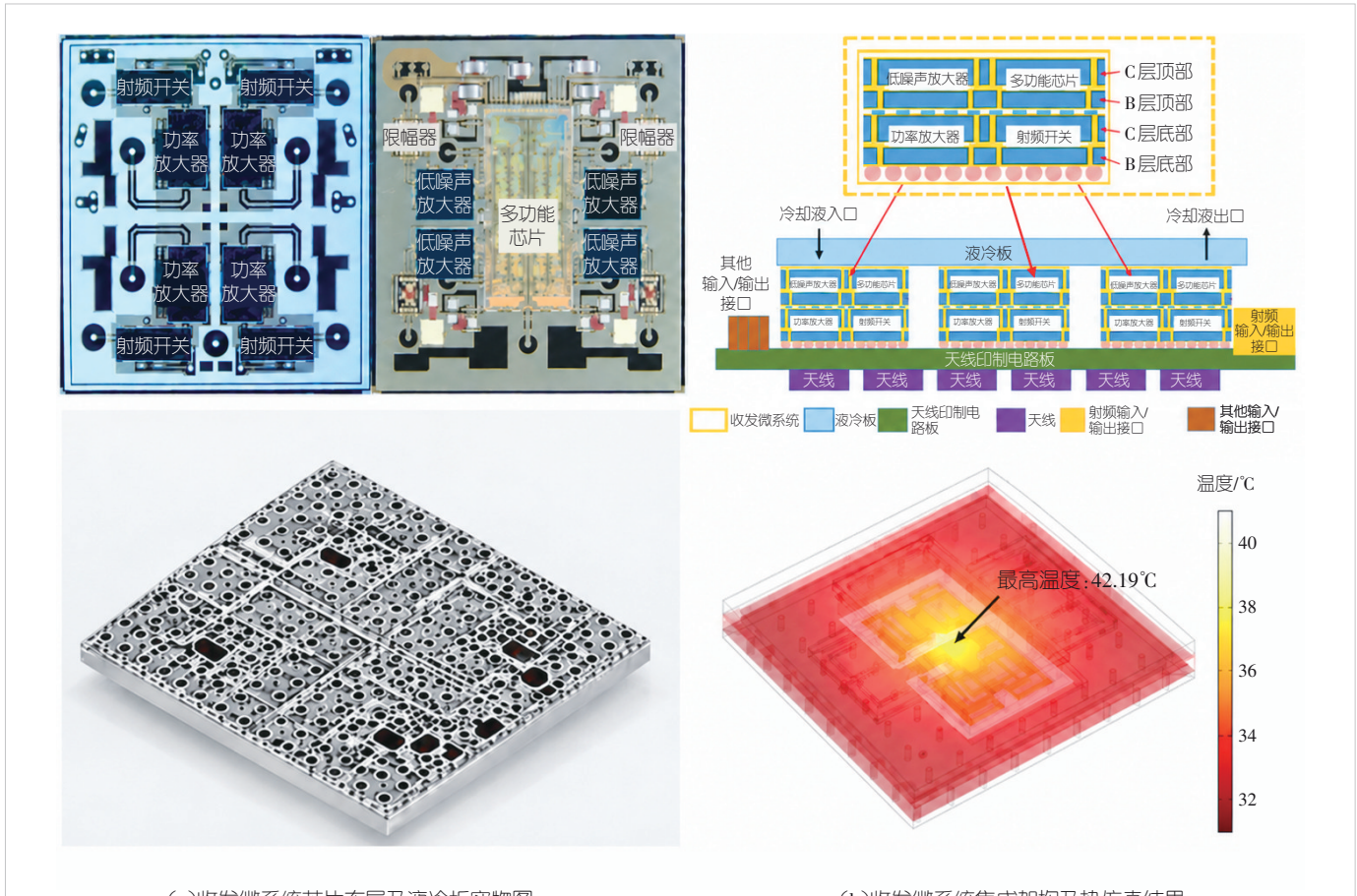
星地太赫兹高速传输的最终效能由发射机EIRP、接收端等效噪声温度、线性度及宽带调制能力共同决定。CMOS及SiGe BiCMOS具有极高的集成度，非常适合实现星地系统中的超大规模波束赋形网络、频率综合和本振分配。但是，由于硅基集成电路制造尺寸的限制，如果所有元件都集成在单个硅基集成电路（IC）中，将极大增加成本。目前最高水准的硅基集成只能做到集成64个通道，因此需要模块化扩展来构成所需要的更大阵列。扩展阵列采用多片多通道集成电路与封装天线构成小模块，通过复制重复的单元数量，将这些小模块再装配到多层载板上。这种集成方式可兼顾综合成本与收益并且易于测试，因此当规模扩大到更大单位时，CMOS或SiGe BiCMOS技术将有很大的成本优势。然而，随着频率迈入太赫兹阶段，硅基晶体管的寄生参数急剧放大、可用增益断崖式下降、片上介质损耗呈几何级数增加。这导致硅基射频前端在绝对输出功率和极致噪声系数上，受到材料本征物理极限的严重制约。

星地通信动辄数千千米的传输距离，要求极高的发射功率和极低的接收噪声。若仅靠CMOS工艺扩充太赫兹阵列规模，将带来难以承受的功耗和热管理灾难。以GaN、InP和GaAs为代表的化合物半导体虽然具备极高的击穿电压、大功率密度和超低噪声，但难以实现庞大的复杂控制网络。因此，通过异质异构集成技术，将硅的“高智商”（复杂数字/模拟控制）与化合物半导体的“强体魄”（高功率/低噪声射频能力）相结合，成为突破星地太赫兹通信瓶颈的必由之路。

2 三维异质异构集成星地亚太赫兹/太赫兹收发前端的发展现状

三维异质异构集成通过将不同功能芯片沿垂直方向三维堆叠，可大幅缩短太赫兹极高频信号（RF、LO、IF）的物理传输路径，有效抑制互连寄生效应。除硅中介层外，低损耗玻璃基板也逐渐成为太赫兹异构封装的核心平台。研究表明，采用嵌入式玻璃扇出工艺，可将高频传输线损耗降至0.25 dB/mm以下，并成功将GaN放大器与硅基控制电路紧密集成，在微小尺寸内实现高密度互连，为星载太赫兹微系统提供了理想的可扩展平台。2024年，Yu等采用硅基三维异构集成工艺实现了一款33～35 GHz四通道收发（T/R）微系统[14]，其芯片照片和系统架构如图3所示。系统尺寸小于9.5 mm×9.8 mm×2 mm，质量低于0.3 g，接收噪声系数低于5.7 dB，最大输出功率超过25 dBm。该结果体现了三维集成在小型化多通道射频系统中的优势。

2026年，Zhang等提出嵌入式玻璃扇出异构集成工艺[15]，通过优化再分布层（RDL）表面处理将传输线损耗降低至0.25 dB/mm以下，并将GaN低噪声放大器（LNA）、功率放大器（PA）与硅基开关集成为Ka波段收发微系统，图4展示了其具体的工艺流程、样品照片及测试结果。该系统在28 GHz实现26.08 dB发射增益和2.73 dB典型接收噪声系



(a)收发微系统芯片布局及液冷板实物图　　(b)收发微系统集成架构及热仿真结果

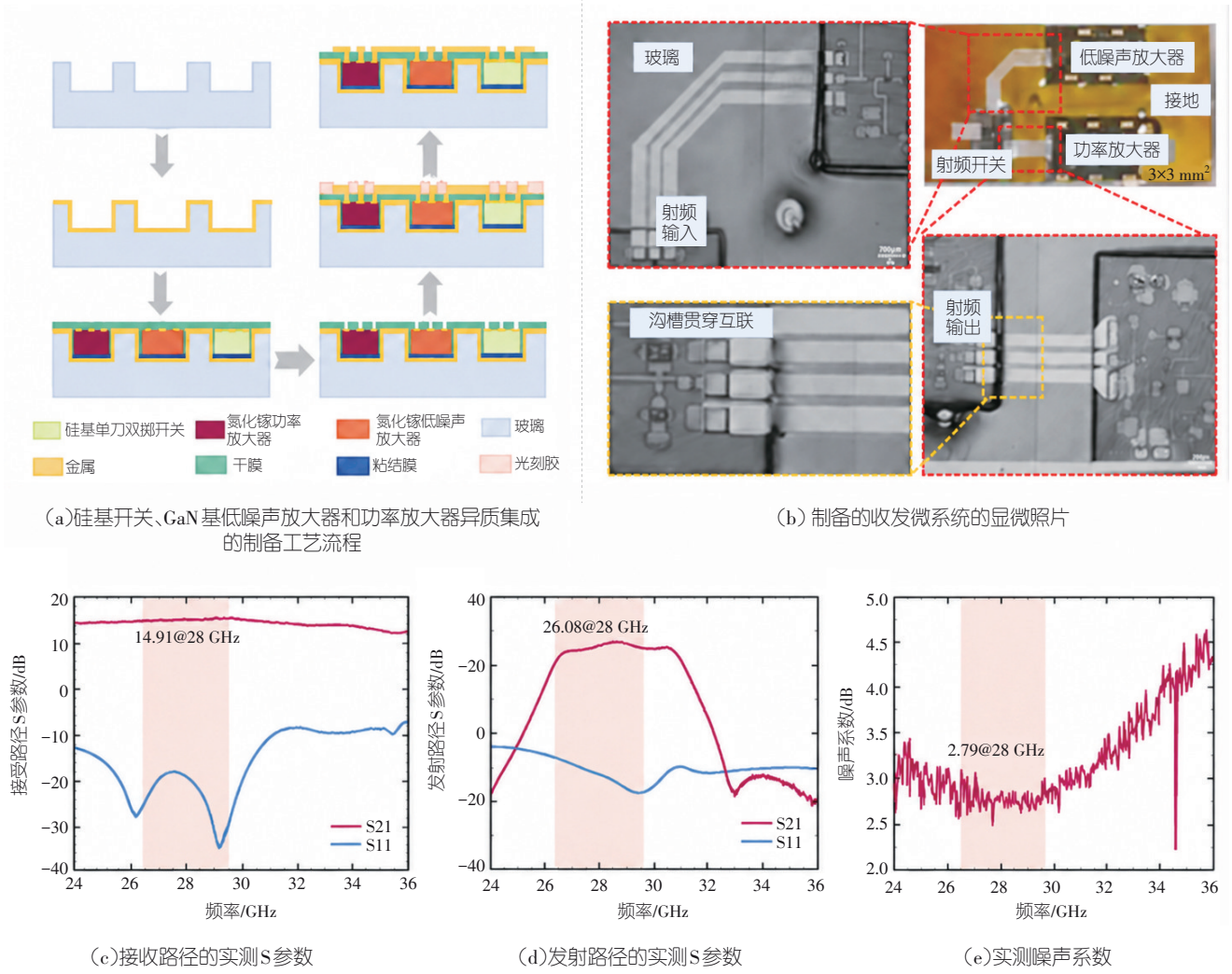
图3　芯片照片和系统架构[14]

数，整体尺寸仅为6 mm × 3 mm。这一结果表明，低损耗玻璃中介层能够在保持不同芯片本征性能的同时提供高密度互连，为亚太赫兹/太赫兹通信前端提供了另一种可扩展的异构封装平台。

随着低损耗互连及多芯片封装技术的发展，亚太赫兹/太赫兹异构集成已经由器件和互连验证逐渐向完整收发系统扩展。其典型应用主要集中在高功率发射前端、低噪声接收前端和大规模阵列3个方向。

2022年，Yang等采用硅基微机电系统（MEMS）/苯并环丁烯（BCB）异构集成技术实现了一款W波段三维异质异构集成系统[16]，图5展示了其系统实物和测试结果。该系统将X波段CMOS锁相环（PLL）、W波段SiGe收发芯片以及GaN功率放大器集成于同一平台，利用不同工艺分别完成频率综合、亚太赫兹/太赫兹收发和高功率放大。其异构集成前端获得约22 dBm输出功率，并验证了BCB低损耗高密度互连在亚太赫兹/太赫兹系统中的可行性。尽管该系统主要针对雷达应用，但其“CMOS/SiGe负责复杂收发功能、GaN负责高功率输出”的架构同样适用于高速无线链路。

上海交通大学射频异质异构集成全国重点实验室研究团队进一步将III–V/CMOS三维异构集成应用于W波段高速无线传输。图6展示了一种III–V/CMOS三维异构集成W波段接收机及其测试结果。如图6（a）和（b）所示，该接收机根据不同半导体工艺的性能特点进行功能划分，采用InP器件实现对系统噪声性能最为敏感的低噪声射频前端，并利用CMOS实现本振倍频和下变频等功能，其中混频器芯片通过倒装方式与下层CMOS芯片进行三维集成，InP低噪声放大器则通过二维互连接入接收链路。通过二维与三维互连相结合的方式，实现了不同工艺芯片之间的高密度、低损耗集成。如图6（c）所示，该接收机在92～96 GHz范围内实现约23～29 dB的转换增益，最低噪声系数约为2.8 dB。进一步的调制信号测试表明，在94 GHz的载频下，系统可以分别接收400 Msym/s的64阶正交幅度调制（64–QAM）以及



(a)硅基开关、GaN基低噪声放大器和功率放大器异质集成的制备工艺流程

(b) 制备的收发微系统的显微照片

(c)接收路径的实测S参数

(d)发射路径的实测S参数

(e)实测噪声系数

图4 玻璃扇出异构集成工艺及Ka波段收发微系统[15]

100 Msym/s的256阶正交幅度调制（256–QAM）信号，对应误差矢量幅度（EVM）为4.5%和2.8%，验证了异构集成技术在高速亚太赫兹/太赫兹无线传输中的应用潜力。

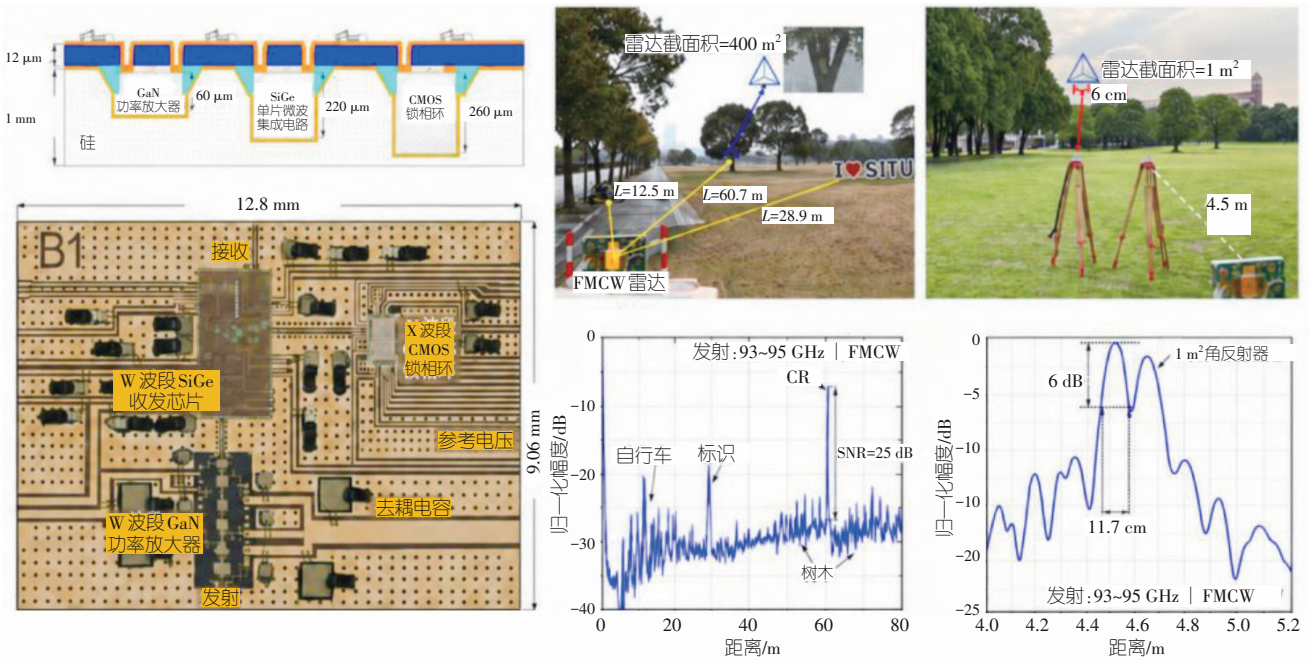
3 三维异质异构集成星地太赫兹收发前端的难点与发展趋势

太赫兹收发前端既受制于复杂的星空地组网架构，又受到微观材料、热学、电磁参数的深刻影响。

1）多物理场强耦合效应：在太赫兹频段，天线尺寸缩小至毫米甚至亚毫米级，与芯片微观物理尺度接近。将太赫兹天线与有源芯片高密度异构集成于同一封装内，会引发强烈的空间电磁辐射与芯片微观电路的纠缠串扰；极高频下的趋肤效应与多芯片高密度堆叠带来的热量聚集，迫切需要建立多物理场耦合机理与电磁特征模型。

2）多工艺融合的协同设计挑战：不同于传统的硅基阵列，星地太赫兹前端融合了CMOS、III–V族甚至射频微机电系统（RF MEMS）器件。不同材料体系的互连设计规则往往不兼容。例如，小尺寸硅基太赫兹芯片必须通过扇出（Fan–out）技术来匹配大尺寸天线或化合物半导体的焊盘间距。由于太赫兹信号对寄生电容极为敏感，极微小的焊盘突变都会恶化星地链路的EIRP。

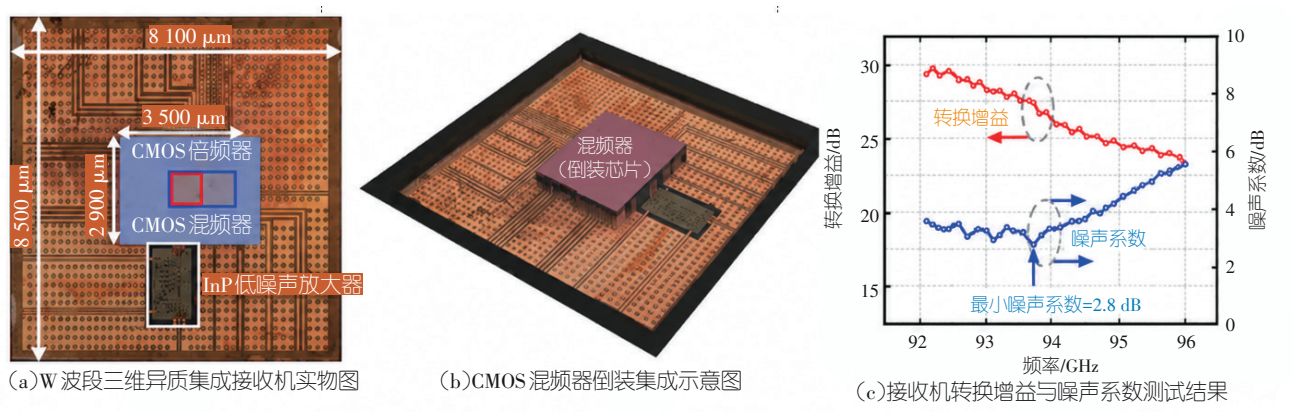
3）发展趋势：未来必须打破孤立的电路与天线设计定式，开展“芯片–互连–封装–天线”一体化协同设计。引入深度学习等科学机器学习方法进行多物理场逆向设计，加速优化多参数目标，以实现高频接口的无缝连接与性能最大化。



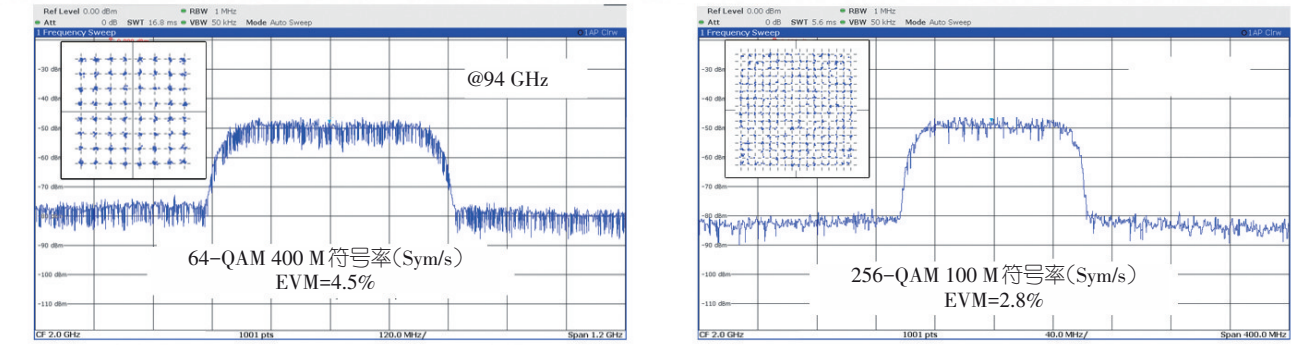
(a)W 波段三维异构集成收发微系统结构及实物图　　(b)基于 FMCW 雷达的目标探测实验及测量结果

CMOS:互补金属氧化物半导体　FMCW:调频连续波　SNR:信噪比

图5　W 波段三维异构集成收发系统及测试结果[16]



(a)W 波段三维异质集成接收机实物图　(b)CMOS 混频器倒装集成示意图　(c)接收机转换增益与噪声系数测试结果



(d)94 GHz 频率下 64-QAM 调制信号的频谱与星座图　(e)94 GHz 频率下 256-QAM 调制信号的频谱与星座图

CMOS:互补金属氧化物半导体　EVM:误差矢量幅度　QAM:正交幅度调制

图6　InP/CMOS 三维异构集成 W 波段接收机及测试结果

4 结束语

构建全覆盖的6G星空地一体化网络，星地太赫兹高速宽带传输是不可或缺的物理层基石。随着星载及地面终端阵列规模的持续扩大至千、万量级，射频、控制、供电及接地网络必须在极其受限的封装体积内实现超高密度的三维垂直互连。

三维异质异构集成技术发展迅猛，打破了单一摩尔定律的禁锢，是实现星地太赫兹系统向微型化、高效能、大容量及低成本方向发展的核心引擎。作为决定未来空间信息平台微纳电子技术高度的关键，三维异质异构集成必将成为突破太赫兹长距离传输发射功率与接收噪声瓶颈、实现超高速率星地互联的技术路径。

参考文献

[1] Gao L, Chan C H. A 0.47–THz ring scalable coupled oscillator – radiator array with miniature patch antennas [J]. IEEE transactions on microwave theory and techniques, 2022, 70(8): 3964–3974. DOI: 10.1109/tmtt.2022.3186329

[2] Gao L, Chan C H. A 0.45–THz 2–D scalable radiator array with 28.2–dBm EIRP using an ellipticalstate teflon lens [J]. IEEE journal of solid–state circuits, 2022, 57(2): 400–412. DOI: 10.1109/jssc.2021.3130235

[3] Gao L, Chan C H. A 0.68 – 0.72–THz 2–D scalable radiator array with 3–dBm radiated power and 27.3–dBm EIRP in 65–nm CMOS [J]. IEEE journal of solid–state circuits, 2022, 57(10): 3114–3124. DOI: 10.1109/jssc.2022.3178721

[4] Saeidi H, Venkatesh S, Chappidi C R, et al. A 4 × 4 steerable 14–dBm EIRP array on CMOS at 0.41 THz with a 2–D distributed oscillator network [J]. IEEE journal of solid–state circuits, 2022, 57 (10): 3125–3138. DOI: 10.1109/jssc.2022.3183163

[5] Wang Y F, Chen W H, Li X C, et al. Highly efficient terahertz beam–steerable integrated radiator based on tunable boundary conditions [J]. IEEE journal of solid–state circuits, 2022, 57(5): 1314–1331. DOI: 10.1109/jssc.2022.3146720

[6] Yang M, Wu L. A 298 – 334–GHz scalable injection–locked phased–array radiator with second–subharmonic–termination–assisted waveform formulation for power enhancement [J]. IEEE journal of solid–state circuits, 2026, 61(6): 2455–2466. DOI: 10.1109/jssc.2025.3624563

[7] Wu H B, Liu X, Li X C, et al. A power–efficient 308–to–331–GHz 4 × 2 radiator array achieving 13.6–dBm chip–only EIRP in 65–nm CMOS [J]. IEEE transactions on microwave theory and techniques, 2026, 74(3): 2526–2539. DOI: 10.1109/tmtt.2025.3642283

[8] Koh Y K, Kim M. 270–GHz radiator module for eight–way incoherent power combining of InP HBT oscillators [J]. IEEE microwave and wireless technology letters, 2024, 34(11): 1282–1285. DOI: 10.1109/lmwt.2024.3439715

[9] Zhao J H, Tang S Y, Xie F, et al. A 300–GHz 5T5R silicon–based MIMO transceiver integrated with a 2–D multifocal transmit–array [J]. IEEE transactions on microwave theory and techniques, 2025, 73(12): 10843–10854. DOI: 10.1109/tmtt.2025.3602154

[10] Yamazaki Y, Morishita Y, Park S, et al. A 142 – 164–GHz phased–array AiP module with high–power–density and high–efficiency transceiver in 65–nm CMOS for 6G UE [J]. IEEE journal of solid–state circuits, 2026, 61(4): 1275–1293. DOI: 10.1109/jssc.2026.3665184

[11] Abdo I, da Gomez C, Wang C, et al. A 300GHz–band phased–array transceiver using bi–directional outphasing and hartley architecture in 65nm CMOS [C]//Proceedings of IEEE International Solid– State Circuits Conference (ISSCC). IEEE, 2021: 316–318. DOI: 10.1109/isscc42613.2021.9365968

[12] Yamazaki Y, Park S, Uchino T, et al. A 150 GHz high–power–density phased–array transceiver in 65nm CMOS for 6G UE module [C]//Proceedings of Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits). IEEE, 2025: 1–3. DOI: 10.23919/vlsitechnologyandcir65189.2025.11074823

[13] Ebrahimi N, Sarabandi K, Buckwalter J. A 71–76/81–86 GHz, E–band, 16–element phased–array transceiver module with image selection architecture for low EVM variation [C]//Proceedings of IEEE Radio Frequency Integrated Circuits Symposium (RFIC). IEEE, 2020: 95–98. DOI: 10.1109/rfic49505.2020.9218300

[14] Yu F, Guo X, Ma S, et al. Design and fabrication of a T/R microsystem in Ka–band with Si–based 3–D heterogeneous integration [J]. IEEE transactions on components, packaging and manufacturing technology, 2024, 14(5): 862–871. DOI: 10.1109/TCPMT.2024.3385319

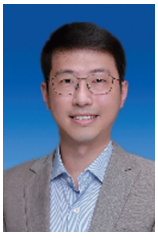
[15] Zhang B H, Chen L, Wang Q, et al. Embedded glass fan–out integration method for high–performance Ka–band RF microsystem [J]. Microsystems & nanoengineering, 2026, 12: 271. DOI: 10.1038/s41378–026–01399–7

[16] Yang X, Huang Y S, Zhou L, et al. Low–loss heterogeneous integrations with high output power radar applications at W–band [J]. IEEE journal of solid–state circuits, 2022, 57(6): 1563–1577. DOI: 10.1109/jssc.2021.3106444

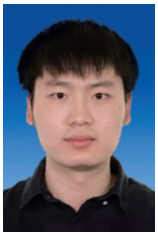
作 者 简 介



任朝祥，上海交通大学在读博士研究生；主要研究领域为毫米波集成电路设计、三维异质异构集成等。



周亮，上海交通大学教授，国家杰出青年基金和优秀青年基金获得者；主要研究领域为毫米波三维异质异构集成和电磁兼容与防护技术；先后主持或参与多项国家级项目，获得多项科研成果奖；发表论文100余篇，拥有授权发明专利15项。



倪冬欣，南京理工大学集成电路学院讲师；主要研究领域为毫米波集成电路及其三维异质异构集成；参与多项国家级项目；发表论文10余篇。