

高速高密度光电共封装技术

High-Speed and High-Density Optoelectronic Co-Package Technologies

孙瑜/SUN Yu^{1,2}

刘丰满/LIU Fengman^{1,2}

薛海韵/XUE Haiyun^{1,2}

(1. 中国科学院微电子研究所, 北京 100029;

2. 华进半导体封装先导技术研发中心有限公司, 江苏 无锡 214135)

(1. Institute of Microelectronics of Chinese Academy of Science, Beijing 100029, China;

2. National Center for Advanced Packaging Co., Ltd (NCAP China), Wuxi 214135, China)

信息技术的广泛应用和各种新业务的不断出现, 导致网络容量迅速增长, 据估计到 2020 年信息量增长到惊人的 44 Z(10²¹) 字节。未来数据中心面临的巨大挑战之一是大量的数据需要被存储、传输和处理。此外, 随着多核处理器、内存需求和输入/输出(I/O)带宽需求的持续增加导致了网络拥塞和连接瓶颈。随着带宽的增加, 功耗也急剧增加, 数量传输数据所需的能量限制系统性能。作为下一代互连技术强有力的竞争者, 光互连具有宽频带、抗电磁干扰、强保密性、低传输损耗、小功耗等明显优于电互连的特点, 是一种极具潜力的电互连替代或补充方案^[1]。同时可以充分利用波分复用(WDM)技术, 尤其是密集波分复用(DWDM)技术发挥光互连带宽优势, 实现高

收稿日期: 2018-06-23

网络出版日期: 2018-08-01

基金项目: 国家科技重大专项(2014ZX02501); 江苏省省重点研发计划(BE2017003-1)

中图分类号: TN929.5 文献标志码: A 文章编号: 1009-6868 (2018) 04-0027-006

摘要: 分析了高速高密度光电共封装中 2.5D、3D 集成技术, 提出并验证了 2 种 2.5D 光电共封装结构: 采用硅转接板的光电共封装和采用玻璃转接板的 2.5D 结构, 经仿真得到在 40 GHz 工作时可以实现较低的插入损耗, 并进行了工艺验证, 制备了硅转接板和玻璃转接板样品。还提出了一种新型基于有机基板工艺的 3D 光电共封装结构, 该结构相比其他 2.5D 和 3D 结构尺寸更小、更薄, 设计更灵活。对该结构进行了工艺验证, 制作了光探测器(PD)与跨阻放大器(TIA)共同集成的三维光电共封装样品。

关键词: 光电共封装; 光电封装; 混合集成; 三维封装

Abstract: In this paper, high-speed and high-density optoelectronic co-packaging structures are analyzed. Two optoelectronic 2.5D co-packaging structures, including co-package based on silicon interposer and glass interposer are proposed and fabricated. Simulation results show that low insertion loss can be achieved in 40 GHz operation. A new optoelectronic 3D co-packaging structure based on the organic substrate process is proposed. Compared with other 2.5D and 3D, the structure is smaller and thinner, and the design is more flexible. The three-dimensional photoelectric co packaging samples integrated with photodetector (PD) and trans-impedance amplifier (TIA) are fabricated.

Keywords: optoelectronic co-package; optoelectronic package; hybrid integration; 3D package

速、海量信息传输; 但成本和规模化是光互连在数据中心内使用光学的最大障碍。

由于采用高频段、更宽频谱和新空口技术, 5G 基站带宽需求大幅提升, 预计将达到长期演进(LTE)的 10 倍以上。5G 单个基站前传带宽为 3×25 Gbit/s, 中传和回传在建设初期带宽峰值高达 5.8 Gbit/s, 均值也高达 3.4 Gbit/s, 成熟期基站带宽峰值将达到 20 Gbit/s。以一个大型城域网为例, 5G 基站数量 12 000 个, 带宽收敛比为 6:1。核心层的带宽需求在初期就将超 6 Tbit/s, 成熟期将可能会超过 1 Tbit/s。因此, 在 5G 传送承载网的接入、汇聚层需要引入 25 Gbit/s 或者

50 Gbit/s 速率接口, 而核心层则需要引入 100 Gbit/s 及以上速率的接口。因此, 5G 时代的互连链路必须采用光互连传输^[2]。

随着 5G 时代高带宽的计算、传输、存储的要求, 以及硅光技术的成熟, 板上和板间也进入了光互连时代, 通道数也大幅增加, 由专用集成电路(ASIC)控制多个光收发模块。在封装上要将光芯片或光模块与 ASIC 控制芯片封装在一起, 以提高互连密度, 从而提出了光电共封装的相关概念。

光电共封装较传统的板边以及板中光模块在带宽、尺寸、重量和功耗有重要的优势。传统光互连采用

的是板边光模块,将光收发模块单独制作封装为可插拔光模块或有源光缆,组装在印制电路板(PCB)边缘,其工艺比较成熟,已广泛商用;但这种方式电学互连较长,存在信号完整性问题,模块的体积较大,互连密度低,多通道时功耗较大。另外一种比较成熟的是板中光模块,是为了缩短光模块与ASIC芯片的距离,而将光收发模块组装在ASIC芯片旁边。这样电学互连较短,信号完整性压力较小,互连密度提高,但仍受限于电学连接器和光学连接器。互连功耗相对板边光模块得到改善,可靠性需求增加。光电共封装是将光收发模块与ASIC芯片封装在一个封装体内。一种方式是一种2.5D封装,将光收发模块与ASIC芯片共同封装在一个载板上,互连密度较高,功耗更低;还有一种三维堆叠方式,是将ASIC芯片与硅光芯片三维(3D)堆叠,实现了最短的电互连,损耗小,互连密度最高,功耗比2.5D方案更低。

然而光电共封装也面临一系列难点,包括高密度光电载板工艺、高精度的光电芯片组装工艺、阵列光纤连接器的装置耐高温性等。文中,我们介绍了国际上几种光电共封装方案,提出了基于硅基板、玻璃基板和板级埋入技术的光电共封装方案,并进行了仿真和制作。

1 光电共封装发展

随着近年来硅光技术的不断发展成熟,硅光芯片可以方便地将调制器、探测器、复用解复用、波导等集成在一颗芯片上,兼容互补金属氧化物半导体(CMOS)工艺,采用硅光芯片的光模块是目前研究的热点。硅光芯片的光电共封装采用陶瓷基板、有机基板、玻璃载板、硅基板将电芯片与硅光芯片集成,封装集成也从2.5D向着3D光电共封装发展。

1.1 基于陶瓷基板的光电共封装

陶瓷载板由于其优异的电性能、

良好的导热性和稳定性,一直是光模块封装采用传统载板。Acacia公司采用陶瓷基板制作了光电焊球阵列封装(OE-BGA),认为以此为基础可以实现ASIC芯片与光子集成电路(PIC)的光电共封装^[1]。如图1所示,硅光芯片PIC、驱动器芯片和跨阻放大器(TIA)芯片倒装焊在一个11层的低温共烧陶瓷(LTCC)基板上,上面盖有铝金属盖,整个封装尺寸为21.6 mm × 13.0 mm,下方焊球阵列封装(BGA)共有369个焊球。PIC上具有8个调制器和8个锗探测器。发射和接收的射频信号在BGA陶瓷衬底内部走线,具有等长的路径和良好的电学性能,相比于在PCB上走线大大减小了传输损耗,结构也更紧凑。这种方案由于最后需要焊接在PCB板上,光纤阵列组装时需采用可以经受住260℃回流的胶来固定。最终Acacia公司的OE-BGA结构实现了200 Gbit/s速率的信号传输,功耗为4.9 W。陶瓷载板可以做多层布线,但是布线线宽、线距较宽,在引脚密度高时,I/O扇出十分困难;在成本方面,相比有机基板和硅基板等,陶瓷基板成本非常高。

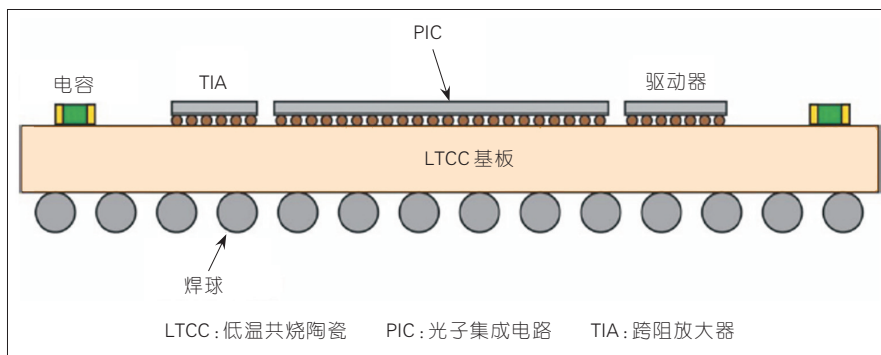
1.2 基于玻璃载板的光电共封装方案

玻璃材料由于其对光透明,对电绝缘性好的性能,很适合作为光电载板。佐治亚理工提出了一种基于玻璃载板的光电混合封装方案,如图2所示^[1]。该方案采用150 μm厚的玻璃载板,PIC和驱动芯片和跨阻放大

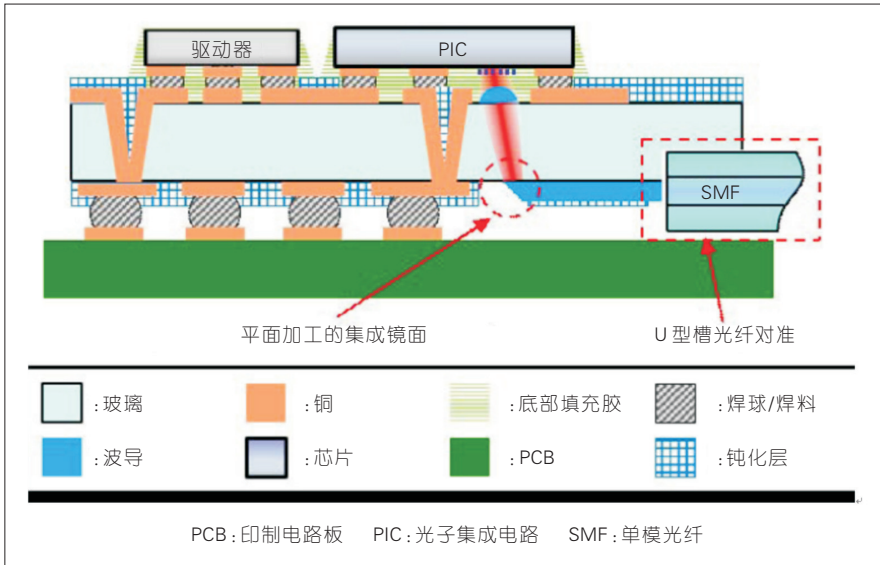
器倒装在玻璃载板上,光通过载板上的有机透镜聚焦到载板背面的波导中,与光纤耦合;电信号通过在玻璃基板上做金属通孔(TGV)引出。选用玻璃作为载板,优势在于电学损耗要小于硅;但缺点在于玻璃的加工比较困难,与常规微电子硅工艺不完全兼容,尤其对玻璃基板的打孔、电镀、清洗工艺等。目前还没有较稳定成熟的工艺,另外玻璃的散热能力较差,所以需要合适的散热方案。

1.3 基于硅转接板的光电共封装方案

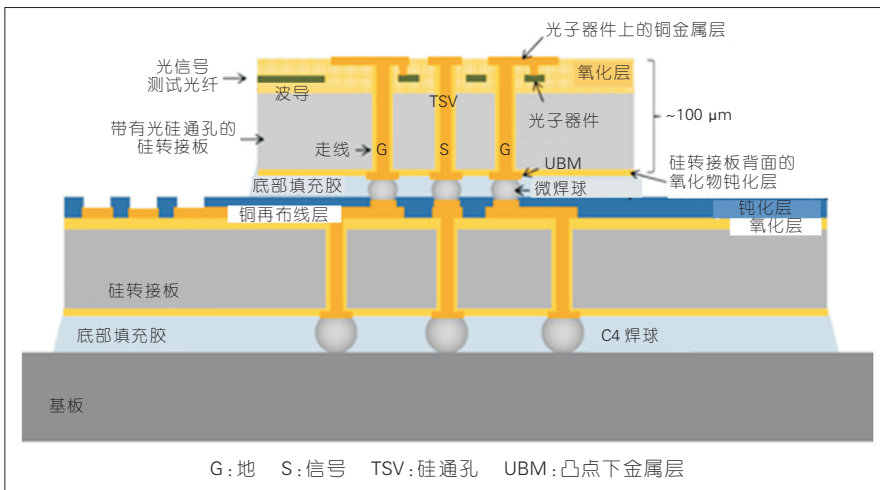
硅转接板采用硅晶圆加工技术,可以制作更小线宽的互连线,布线密度高,可以将高密度的引脚扇出,满足芯片互连需求;硅转接板与芯片都是硅材料,二者热膨胀系数(CTE)失配小,可以减小翘曲提高可靠性。采用硅转接板做光电共封装也是一个很好的方案,比如新加坡IME研发的基于硅载板的光电封装方案^[1],该方案中包含2个硅通孔(TSV)结构。如图3^[1]所示,位于上面1个的是包含有光学器件结构的PIC在绝缘衬底上的硅(SOI)衬底的TSV,位置靠下面的是只有通孔和电学再布线的体硅衬底的TSV。其中,驱动芯片和TIA倒装焊在下面的硅转接板上,PIC上的金属通孔可以实现更短的互连线和更好的电性能,光接口在硅光芯片上表面,更易于光耦合结构组装。硅转接板实现了良好的电学性能,将多通道的芯片的高密度引脚扇出,组装到BGA基板上,最终实现光模块与



▲图1 光电焊球阵列封装的结构示意图



▲图2 3D玻璃基板封装示意图



▲图3 3D硅转接板封装方案的剖面示意图

ASIC 芯片共封装。

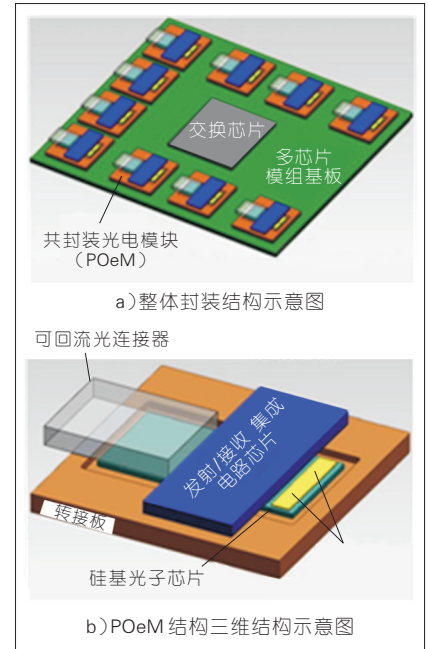
1.4 3D 光电共封装方案

在将光、电芯片并列排布在基板上的 2.5D 光电共封装方案的基础上, 3D 光电共封装方案是目前研究的热点和趋势。3D 光电共封装将光电芯片垂直互连, 实现更短的互连距离、更好的高频性能, 并且集成度更高, 封装更紧凑。

Oracle 提出了一种采用挖腔转接板实现封装模块的方案^[5], 如图 4 所示。该方案采用陶瓷或有机基板作为转接板, 在转接板上挖腔, 把硅光

芯片放在腔内, 再将收发集成电芯片组装在基板上方, 形成一个“桥”结构, 通过基板上线路实现光电互连, 光芯片上组装可焊接的光耦合结构, 形成一个共封装光电模块 (POeM), 多个 POeM 与 ASIC 芯片集成在一个载板上, 实现多通道光电互连模块。

在 TSV 转接板基础上, 新加坡 IME 把硅光芯片 PIC 也做成一个转接板, 并将驱动芯片和 TIA 倒装焊在硅光芯片 PIC 上, 通过 PIC 上



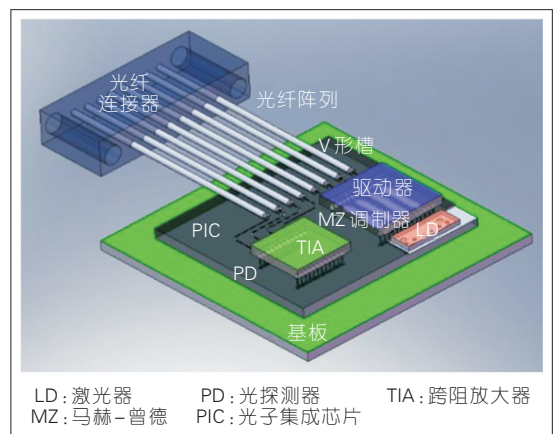
▲图4 采用挖腔转接板实现封装模块的方案示意图

的金属通孔与下方的 TSV 转接板互连, 激光器可以贴装在 PIC 上, 如图 5 所示。这样既实现了良好的电学性能, 又可以将多通道的芯片的高密度引脚扇出, 实现高速多通道板上光模块共封装^[6]。

2 基于 TSV 硅/TGV 玻璃转接板的三维光电共封装

2.1 基于 TSV 硅转接板的三维光电共封装

针对多通道光电模块, 硅转接板



▲图5 3D硅转接板封装方案示意图

可以将光电芯片的高密度引脚进行互连,实现多芯片光电共封装(方案如图6 a)所示),为此我们设计了高速硅转接板,采用样品假芯片(dummy芯片)设计了光电共封装方案,如图6 c)所示。将4颗dummy芯片组装在硅转接板上,根据高速电互连需求,设计正面2层、背面1层再布线层(RDL)的转接板结构。在TSV转接板的制作方面,硅转接板工艺能力可以实现20.32 cm(8英寸)或30.48 cm(12英寸)的TSV转接板晶圆、10×100 μm TSV无孔洞填充、最小40 μm节距微凸点,及最小10 μm/10 μm的线宽、线距,背面互连引出采用低成本TSV露头技术^[7],如图6 b)所示。通过电学仿真,我们设计TSV采用10 μm直径、100 μm高度,布线采用35 μm/15 μm的线宽、线距,转接板上传输线长在19 mm时,3 dB带宽

理论上可以支持到40 GHz,它的插入损耗仿真的结果如图6 d)中所示。

2.2 基于玻璃转接板的三维光电共封装设计和制备

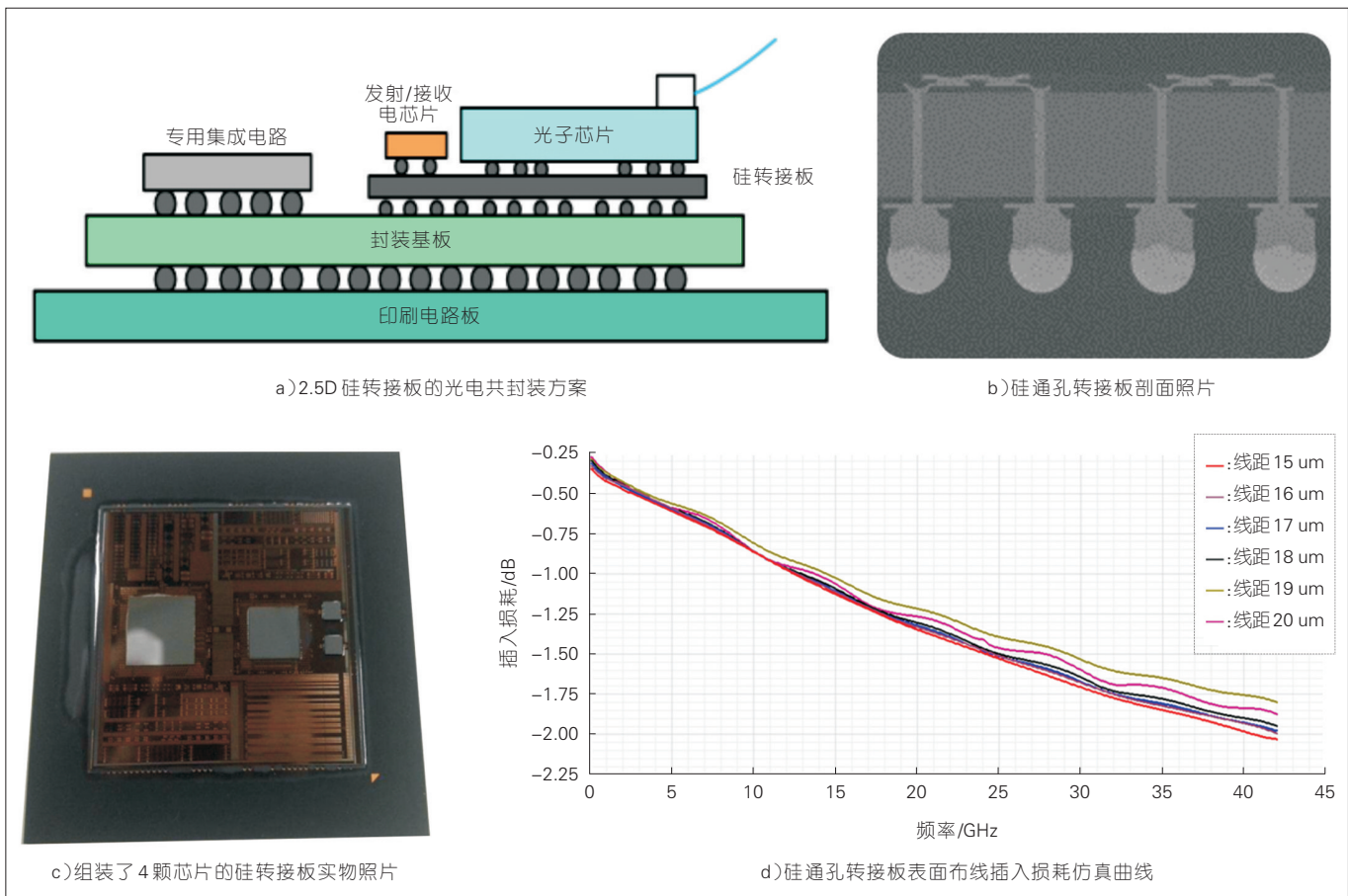
玻璃转接板具有透明、绝缘等良好的光电学性能,玻璃转接板2.5D光电共封装方案如图7 a)所示。但玻璃转接板加工工艺比较困难,我们对石英玻璃转接板的打孔、电镀、图形刻蚀做了多方面的研究,制作了玻璃转接板。同时,我们对TGV的电学性能进行了仿真,图7 b)是TGV的插入损耗曲线,图7 c)是TSV与TGV的插入损耗曲线对比。比较相同条件下TGV和TSV的损耗曲线(S21曲线),可以看出TGV的高频性能远好于TSV,并且金属直径越小,高频性能越好,当TGV直径小于70 μm时,插入损耗差别不大。因此考虑到制

作的可行性,我们针对70 μm直径TGV晶圆进行了研发制作。

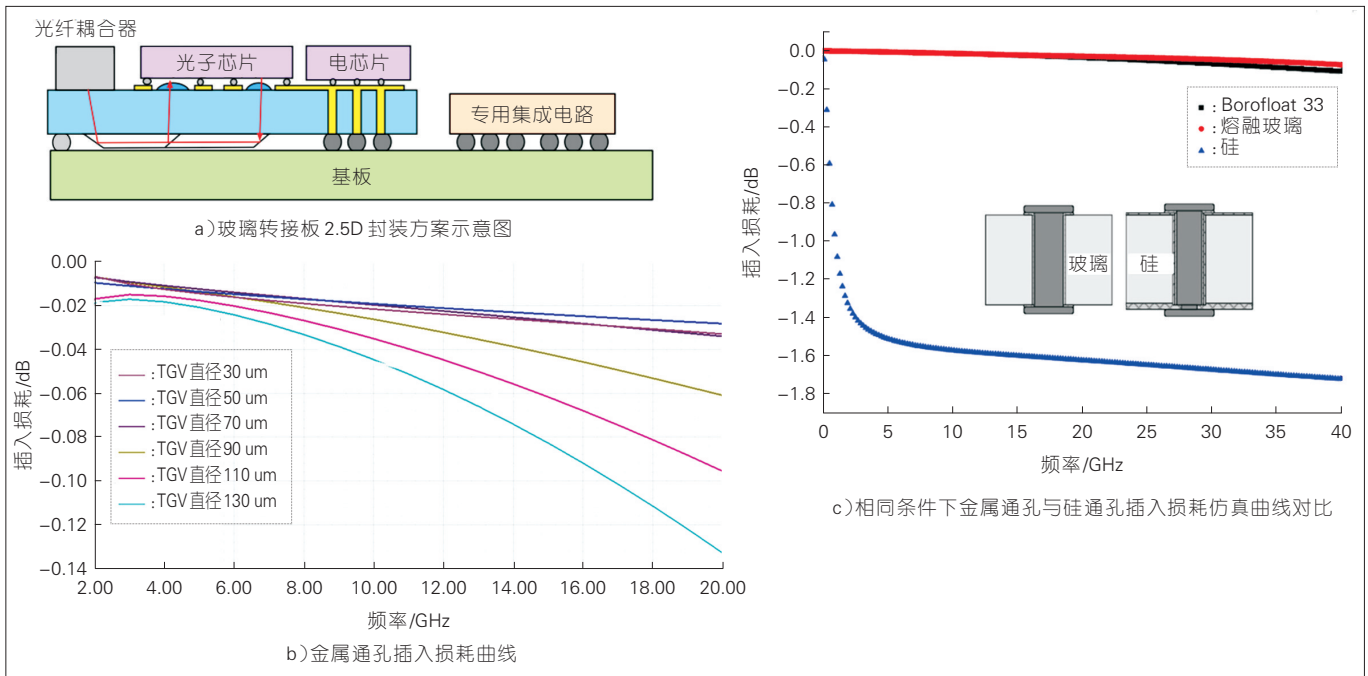
在15.24 cm(6英寸)的300 μm厚玻璃基板上,采用激光钻孔方式制作了70 μm直径的通孔,晶圆表面溅射一层100 nm/1 μm的Ti/Cu金属薄膜作为种子层,然后进行填实电镀铜,观测了电镀好TGV的X射线照片,可见TGV通孔电镀质量良好,之后对玻璃基板进行表面图形化蚀刻,最后在玻璃转接板表面做了镍钯金处理,将电芯片倒装键合在转接板上,完成玻璃转接板微组装。

3 基于板级工艺的三维光电共封装

随着基板技术的发展,有机基板材料如一些特种BT材料也具有良好的电、热性能,其热膨胀系数约为 3×10^{-6} ,可以与硅相比拟;有机基板加工



▲图6 光电共封装方案示意图

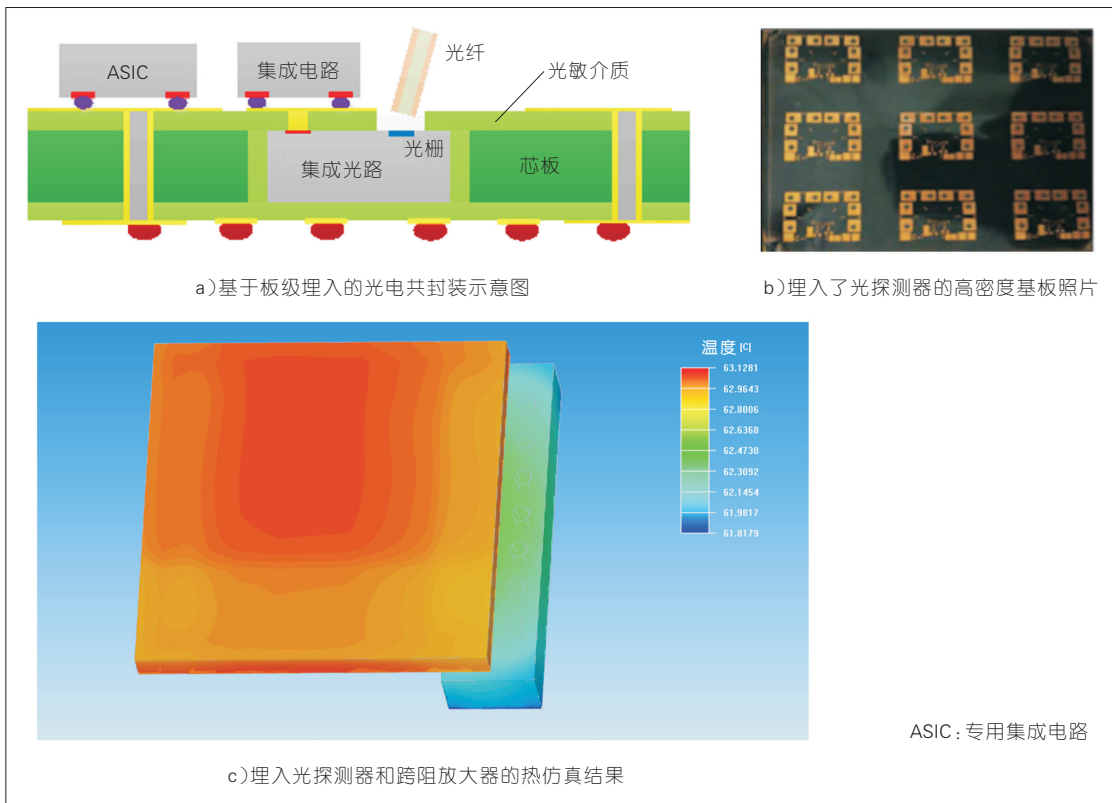


▲ 图7 采用玻璃转接板的设计仿真结果

走线线宽线距也已达到了 30 μm 以下,可以满足芯片互连需求;有机基板工艺加工尺寸大,平均成本很低。因此,基于有机基板板级工艺的芯片

埋入技术成本低,性能好。我们设计了一种基于板级工艺的三维光电共封装方案^[8],如图 8 a)所示,将光芯片埋入有机基板中,电芯片组装在基板

上,将光电芯片的堆叠互连,ASIC 芯片组装在埋入光芯片的基板上,这种方案是一种三维封装结构,整个光电共封装结构尺寸比 2.5D 平面结构更



◀ 图8 基于板级埋入的光电共封装设计、照片和仿真结果

小,更紧凑;将芯片埋入到基板中,相比于其他三维封装结构,在Z方向上厚度更小(省去了部分基板厚度);基板上还可以再布线和组装其他光电芯片,设计上更灵活,集成度高。我们对这种3D共封装方案进行了工艺验证,将1×4光探测器(PD)芯片埋入BT有机基板中,通过刻蚀光敏薄膜,将电极和受光面暴露出来,再制作再布线层,将电极引出,图8b)是埋入了PD的有机基板照片,将TIA芯片倒装在基板表面,制作了基于板级工艺的光电模块样品,实现了光电芯片的三维集成。我们测试埋入PD后测试的I-V曲线,埋入后的光芯片正常工作。图8c)是埋入结构的热仿真结果,工作状态下TIA最高温度为63℃,PD最高温度为62℃,在器件正常工作温度范围内。

4 结束语

光电共封装提高了互连密度,并可以减小尺寸、重量和功耗。采用2.5D转接板和3D堆叠的光电共封装是目前高速光电共封装的主流研发技术。我们采用硅转接板和玻璃转接板设计了2.5D光电共封装结构,并完成了仿真和工艺验证,并提出了一种新型基于有机基板工艺的3D光电共封装结构,制作实现了光探测器与

电集成电路芯片的集成。

参考文献

- [1] KRISHNAMOORTHY A V, THACKER H D, TORUDBAKKEN O. From Chip to Cloud: Optical Interconnects in Engineered Systems for the Enterprise [J]. Journal of Lightwave Technology, 2017, 35(15):3103–3115. DOI: 10.1109/JLT.2016.2642822
- [2] DOERR R C, HEANUE J, CHEN L, et al. Silicon Photonics Coherent Transceiver in a Ball-Grid Array Package[C]//Optical Fiber Communication Conference 2017.USA: OFC, 2017. DOI: 10.1364/OFC.2017.Th5D.5
- [3] CHOU B C, SATO Y, SUKUMARAN V, et al. Modeling, Design, and Fabrication of Ultra-high Bandwidth 3D Glass Photonics (3DGP) in Glass Interposers [C]//2013 IEEE 63rd Electronic Components and Technology Conference (Ectc). USA: IEEE, 2013:286–291. DOI: 10.1109/ECTC.2013.6575585
- [4] YANG, Y. 3D Silicon Photonics Packaging Based on TSV Interposer for High Density On-Board Optics Module [C]//2016 IEEE 66th Electronic Components and Technology Conference (Ectc). USA: IEEE, 2013: 483–489. DOI:10.1109/ECTC.2013.6575585
- [5] KRISHNAMOORTHY A V, THACKER H D, TORUDBAKKEN O. From Chip to Cloud: Optical Interconnects in Engineered Systems [J]. Journal of Lightwave Technology, 2017, 35(15): 3103–3115. DOI:10.1109/JLT.2016.2642822
- [6] KIM D, YU L H, CHANG K F, et al.3D System-on-Packaging Using Through Silicon Via on SOI for High-Speed Optical Interconnections with Silicon Photonics Devices for Application of 400 Gbps and Beyond[C]//2018 IEEE 68rd Electronic Components and Technology Conference (Ectc). USA: IEEE, 2018: 834–840
- [7] ZHANG W, SONG C, XUE K, et al. Silicon Interposer Process Development for Advanced System Integration[J]. Microelectronic Engineering, 2016, 156: 50–54. DOI: org/10.1016/j.mee.2015.11.014
- [8] LIU F, GUO X, SHE Q, et al. Design and

Fabrication of Feasible 3D Optoelectronics Integration Based on Embedded IC Fanout Technology[C]//2018 IEEE 68rd Electronic Components And Technology Conference (Ectc). USA: IEEE, 2018:364–369

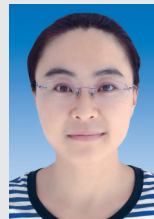
作者简介



孙瑜,中国科学院微电子研究所副研究员,华进半导体封装先导技术研发中心有限公司高级工程师;主要从事光电子器件集成、光电器件及模块封装、高频基板材料技术开发;参与多项国家重大专项02专项项目、国家“973”项目、“863”项目等;发表论文10余篇,获得专利20余项。



刘丰满,中国科学院微电子研究所研究员,华进半导体封装先导技术研发中心有限公司技术经理;主要从事微电子、光电子器件集成与封装技术;承担以及参与完成包括国家自然科学基金、国家重大专项02专项项目、03专项以及多项企业横向课题项目;发表论文20余篇,申请专利30余项。



薛海韵,中国科学院微电子研究所副研究员,华进半导体封装先导技术研发中心有限公司高级工程师;主要从事光电互连封装技术研究,包括硅基锗材料光电探测器的研制,高速、高密度光电集成、模块设计及100 G/400 G互连系统的光电集成及封装技术研发;参与多项国家重大专项02专项项目、“863”项目,并负责江苏省科技厅产业前瞻与共性关键技术重点项目;发表论文10余篇,专利申请30余项。