

# 面向5G通信的高速PAM4信号时钟与数据恢复技术

## High-Speed PAM4 Clock and Data Recovery Techniques for 5G Communications

廖启文/LIAO Qiwen<sup>1</sup>  
Patrick Yin CHIANG<sup>2</sup>  
祁楠/QI Nan<sup>1</sup>

(1. 中国科学院半导体研究所, 北京, 100083;  
2. 复旦大学, 上海 201203)  
(1. Institute of Semiconductors, Chinese Academy of Sciences, Beijing 100083, China;  
2. Fudan University, Shanghai 201203, China)

中图分类号: TN929.5 文献标志码: A 文章编号: 1009-6868 (2018) 04-0021-006

**摘要:** 针对5G通信中4级脉幅调制(PAM4)格式数据的高速传输,提出了可集成的数据与时钟恢复中若干关键技术,包括波特率采样、边沿选择、最优采样和阈值调节等。在单路50 Gbit/s以上速率可有效降低芯片硬件开销,降低系统功耗,降低误码率(BER),并可以提升芯片工作鲁棒性。上述技术在65 nm互补金属氧化物半导体(CMOS)工艺下通过芯片设计及流片加工得到验证,测试结果表明:该芯片恢复时钟具备1.08 ps均方根值(RMS)的时域抖动;恢复数据最高速率在51 Gbit/s可实现 $3.4 \times 10^{-9}$ 的PAM4信号BER,以及低至6.27 pJ/bit的能耗效率。

**关键词:** 5G; PAM4; 时钟与数据恢复; CMOS

**Abstract:** Key techniques including baud-rate sampling, edge-selection, optimal sampling and threshold adjusting techniques are proposed for 4-level pulse amplitude modulation (PAM4) high-speed transmitting in 5G communications. Significant improvements are derived in terms of the hardware cost, system power consumption, bit-error rate (BER) and operation robustness above 50 Gbit/s. The proposed techniques are verified through chip design and tape-out fabrication in 65 nm complementary metal oxide semiconductor (CMOS) process. Measurement results show that the clock and data recovery (CDR) features 1.08 ps root mean square (RMS) clock jitter,  $3.4 \times 10^{-9}$  PAM4 data recovery BER and 6.27 pJ/bit power efficiency.

**Keywords:** 5G; PAM4; CDR; CMOS

### 1 光通信中的时钟与数据恢复

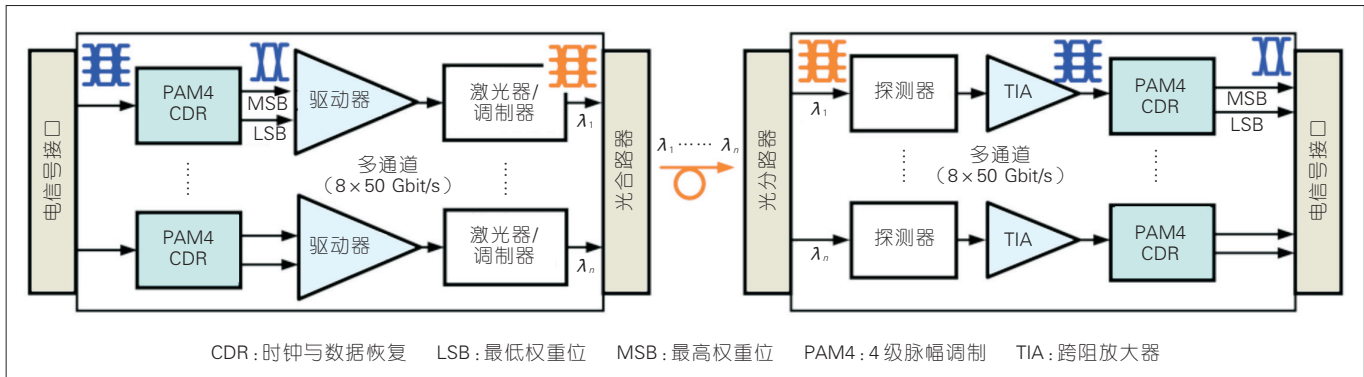
随着大数据和云计算技术的诞生,数据量呈现爆发式的增长,数据通信的带宽需求日益旺盛,而传统的电互连技术已经无法满足高速信息传输的需求。在此背景下,为了实现信息的更高速率的传输,利用光波作为传输介质,光信号作为信息载体的数据传输方案即光互连受到了越来越多的关注。光互连可以理解为光通信技术在短距离场景替代传统的电通信技术的一种实现形式,在具备光通信的所有技术优点的基础上,还具有更高性能的集成化、低功耗、低成本等特点,因此光互连能够实现超低功耗、较长距离、超高速、超高密度的数据通信,同时还具备无电磁干扰、短延时、长寿命、安全可靠等

特点。由此可见,光互连技术代表了未来中长距离数据通信技术的发展方向。光互连具有低功耗和高集成度的特点,其中的核心是集成光子技术和集成电路技术,主要包括:高速激光器芯片技术、高速调制器芯片技术、集成光波导技术、集成驱动芯片技术、光电探测芯片技术、集成数字信号处理技术等<sup>[1-4]</sup>。

光互连系统是电光混合集成,由高速激光器和高速调制器将电信号加载到光波上,因此需要高速驱动芯片对激光器和调制器进行电信号到

光信号的转换。当不归零码(NRZ)数据传输速率超过40 Gbit/s,电光转换的带宽成为限制光互连速度的瓶颈。4级脉幅调制(PAM4)由于具有在相同带宽下2倍的数据传输速率,得到越来越广泛的应用。在光互连系统中,当单通道数据速率达到25 Gbit/s时,无论在接收端和发射端都需要采用时钟与数据恢复(CDR)电路从高损耗的信号里恢复出高质量的数据,再通过驱动电路将数据加载到光波上。如图1所示,PAM4调制的CDR电路在收发两端的电-光和

收稿日期: 2018-06-28  
网络出版日期: 2018-07-31



▲图1 典型5G应用下光通信收发机系统架构

光-电转换都是核心部件。在电-光转换接口,高速串行电信号经过高损耗电路板导致信号质量严重下降,通过PAM4 CDR对信号进行恢复,得到低抖动的时钟和数据。在光-电转换接口,由于电光调制器的插入损耗及光纤传输损耗等,光电探测器接收到的有损信号同样需要CDR进行数据恢复。

CDR相对于锁相环(PLL)的区别主要在于鉴相器的设计上,CDR基本的组成部分包括鉴相器(PD)、电荷泵(CP)、环路滤波器、压控振荡器(VCO)等。鉴相器通过用VCO的输出时钟对输入数据进行采样来获得控制信号,控制信号输出到电荷泵产生控制电压来调节VCO的振荡频率,由此恢复高质量的时钟信号和数据。PAM4 CDR相对于NRZ信号的CDR而言,其设计难度增加很多,体现在:首先,高速多幅度信号的量化。PAM4信号与NRZ信号相比,对信噪比和电路的线性度要求很高,在对PAM4信号进行量化时,需要3个阈值,由于每级信号间的幅度降低为NRZ信号的三分之一,那么对于阈值的偏差容忍也降低了很多,如何准确地选择合适的阈值是一个难点。此外,由于PAM4信号具有确定性抖动,对于高速信号而言,采样时钟的窗口变小,对时钟抖动的要求提高,增加了时钟链路的设计难度。其次,PAM4信号中多种幅度转换类型下的时钟和数据对齐。PAM4信号有12

种电平转换模式,远多于NRZ信号的2种,在进行时钟数据边沿对齐时,其复杂度会增大很多。因此,需要选择合适的转换边沿来进行时钟与数据对齐,来降低鉴相器设计难度,减小误码率。由此可见,高速PAM4 CDR电路不仅需要传统高速电路设计中的电路带宽、抖动、功耗等问题,还要结合新的调制格式下数据的特点来进行电路设计。

## 2 PAM4时钟与恢复关键技术

光通信中采用时钟与数据恢复技术实现2个功能:首先,利用本地产生的多相位时钟对数据多次采样,判断数据比特的边沿,并通过PLL将时钟边沿与其对齐,从而实现与数据同频率、同相位时钟的恢复。其次,利用已同步时钟的最优相位对输入数据采样,使其实现最高的输入信噪比,并把采样结果作为已恢复数据输出。如图2a)所示为传统的过采样型CDR,其中每比特数据采用数据( $D_n$ )和边沿(Edge)2个时钟相位进行采样,并最终将Edge相位的时钟与数据边沿过零点对齐。其工作原理基于Edge相位采样的数据值分别与上一周期数据 $D_n$ 及本周期数据 $D_{n+1}$ 进行比较的结果:当Edge与 $D_n$ 的结果同为逻辑1或0时,表明Edge相位超前于数据跳转边沿,判决结果为“超前(Early)”;而当Edge与 $D_{n+1}$ 的结果相同时,表明Edge相位滞后于数据跳

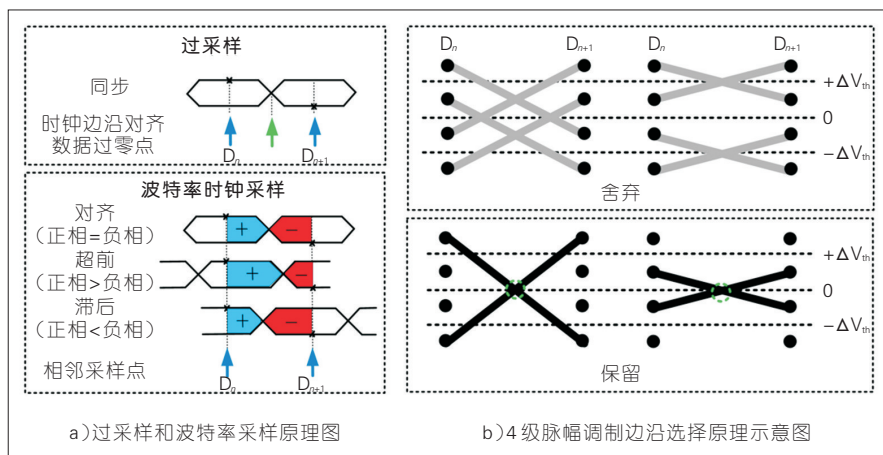
转边沿,判决结果为“滞后(Late)”。随后锁相环路根据此结果反向调节时钟相位,最终实现时钟相位与数据边沿的对齐。不难看出:过采样型CDR需要2倍于数据率Nyquist频率的时钟以产生足够多的相位进行采样,这带来了硬件开销的增大和系统功耗的上升。

### 2.1 波特率采样技术

本文中,我们提出一种新型的采样技术,每个数据比特仅需要1个采样时钟相位便可实现时钟与数据边沿的对齐。具体来说,本技术使用积分型电路计算两次采样之间电容极板上电荷的累加值,对应于计算图中数据比特覆盖的阴影区面积(如图2a)所示)。当差分输入进行数据翻转时,阴影面积在过零点之前为正,过零点之后为负(正相和反相信号以水平线为轴进行反转)。因此,当时钟与数据边沿对齐时正负面积相等,积分值恰好为零;而当时钟超前于数据时,正相面积大于负相,积分值为正数非零值;反之当滞后时积分值为负。由于此技术下时钟频率仅需要和数据Nyquist频率相同,因此称之为波特率采样技术,此种类型的CDR会带来硬件开销的节省和系统功耗的下降。

### 2.2 边沿选择技术

图2b)中所示为PAM4信号边沿的瞬态特性:PAM4差分信号逻辑电



▲图2 波特率采样和边沿选择原理图

平变化时会产生多个“过零点”(差分信号电压相等的瞬间),而上述过零点在时间上并不平均分布于数据边沿附近,其分布与前后比特码型相关,并由此集中于几个分离的时间点附近<sup>[4]</sup>。CDR 环路试图将时钟相位(例如:上升沿)向数据转换的边沿对齐,在这种情况下最终锁定的时钟相位将分布于多个时间点,相当于在上述区间内随机游走造成时域抖动。本文中我们采用的策略为只选择其中具有最大发生几率的信号边沿,即仅选择逻辑 $\pm 3$ 向 $\pm 3$ 、 $\pm 1$ 向 $\pm 1$ 的数据比特作为时钟/数据同步的判据。在此策略下,所有数据边沿试图向同一个时间点对齐,避免多个过零点导致的CDR锁定后时钟相位的随机游走,也避免了由此引入的时域抖动。

### 2.3 最优采样与阈值调节

PAM4 调制信号相比 NRZ 信号,虽然在占用相同硬件带宽的前提下实现了等效数据率的翻倍,但在信号处理及其硬件实现上带来了额外设计挑战。首先,PAM 信号对码间干扰(ISI)更加敏感,而逻辑 $\pm 3$ 之间所需转换时间比逻辑 $\pm 1$ 之间更长。这就意味着比特边沿具备相同上升/下降时间(或硬件带宽)前提下,前者拥有更少的剩余稳定时间;极端情况下 $\pm 3$ 之间短比特来不及完全建立到其理想电压值,但后者逻辑 $\pm 1$ 之间的转

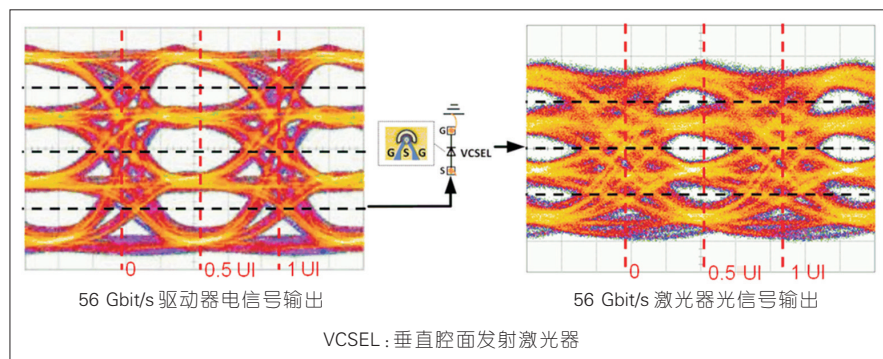
换建立时间充足。如图3所示,描述了上述情况的结果,如果沿用传统过采样原理使用与边沿相差0.5 UI的时钟相位采样数据,由于最高幅度信号建立未完成无法获得最高的输入信号信噪比,实际的最高信噪比采样点相对图中0.5 UI处存在偏移。

其次,在多幅值调制中特有的难题是PAM4信号的非线性失真。具体来说,由于电信号输入信道的损耗或者电-光转换时引入的非线性,PAM4信号的3个内眼可能具备不同的眼高与眼宽,这种情况下如果CDR使用线性分布的阈值(图3中横向黑色虚线)判别逻辑电平数值,将带来判决误码率的上升。例如:在直接调制型垂直腔体表面发射激光器(VCSSEL)的光电发射机中,由于激光器本身非线性会导致光眼图的上升、下降时间不对称;而VCSSEL偏置电流较高时,其逻辑高的光功率受到压缩不再与

输入电流成正比例关系,导致PAM4信号中逻辑 $\pm 3$ 的眼高略低于逻辑 $\pm 1$ 的3倍。

## 3 系统级设计

基于PAM4信号CDR的关键技术,我们设计并实现了一款50 Gbit/s PAM4输入的CDR芯片,其系统架构如图4所示。25 G Baud/s的PAM4信号进入CDR后到达PD模块,PD由4个时间交织的1/4速率通路并行而成,每条通路工作在6.25 Gbit/s。每条PD通路由1个前端电路(PD-FE)、重定时寄存器、PAM4译码器和1个逻辑电路模块构成。其中PD-FE采用了3个并行的判决器来量化具有4个电平信息的PAM4信号,并将其输出为3位温度计码判决结果;译码器负责将温度计码转换为二进制码,即代表2倍权重位的最高权重位(MSB)和1倍权重位的最低权重位(LSB)(图4中MSB\_6G和LSB\_6G)信号。需要注意的是:PD时间交织的采样后,MSB\_6G和LSB\_6G均为6.25 Gbit/s的NRZ数据;该数据通过串行转化器进行4:1变换,并汇聚到单路25 Gbit/s再输出给驱动器供光器件或测试仪器使用。在串行转换中,相比于传统结构需要多次重定时,我们使用CDR恢复出的正交相位数据<sup>[4]</sup>,天然满足了转换中对各路数据相对延时的需求。如图4所示,PD-FE中除3位判决器之外我们还设计一种新型的积分器,用来实现前述相邻数据的积分,并据此给出调节时钟相位的超前



▲图3 4级脉幅调制信号的最优采样点偏移和非线性失真



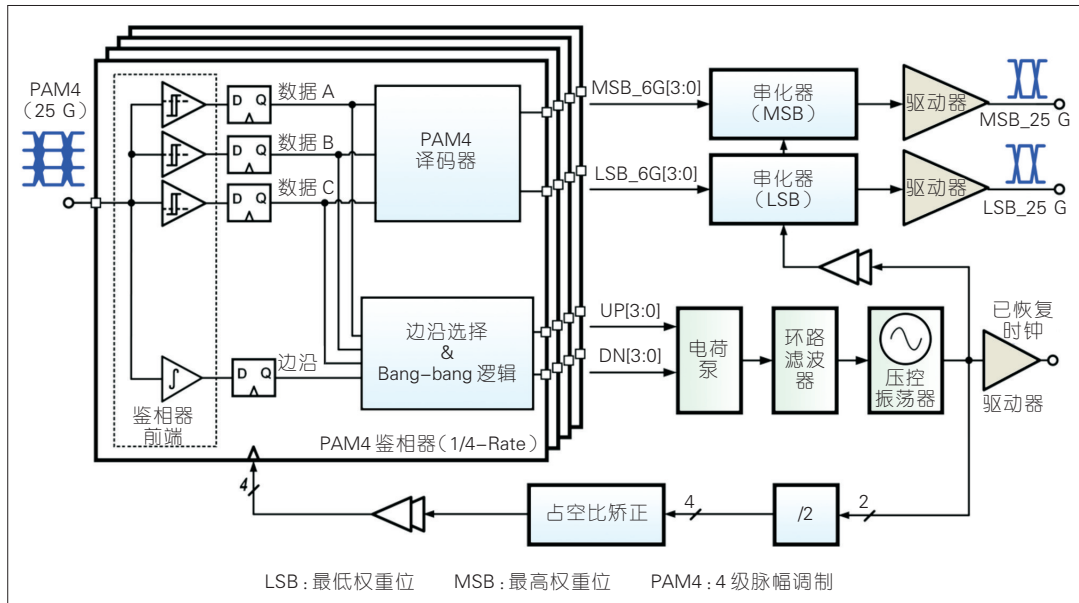


图4 PAM4时钟与数据恢复芯片系统架构

(DN)/滞后(UP)信号,进而控制锁相环路中的CP对环路滤波器(LPF)充放电,闭环调节时钟相位。本文中CDR芯片集成工作于12.5 GHz频段的电感电容型压控振荡器(LC-VCO),其输出信号经过分频器除2(/2)之后可以形成4相位6.25 GHz时钟作为PD采样所用。CDR的锁相环路由PAM4 PD、CP、低通滤波器(LPF)、VCO、/2分频器和占空比修正器(DCC)组成,它的带宽设计为5~15 MHz可调节,并通过片上寄存器配置电荷泵充放电电流、环路滤波器电阻电容来实现。

#### 4 电路模块级设计

PAM4信号的时钟与数据恢复中最关键的电路模块是PD,因其工作在整个CDR的最高速率25G Baud/s,并且负责对带有码间干扰和非线性失真的PAM4信号的逻辑判决。如图4所示,PD的核心部分是其前端电路(图中简称为PD-FE),它由并行的3条数据通路和1条边沿通路构成,而每条通路均包含了1个判决器。由于PAM4信号具有4个不同的逻辑电平,因此判决器需依据3个不同的电压阈值来判决上述逻辑,分别为对对应于+/-符号判决的逻辑阈值0,以及对

应于±3逻辑电平的判决阈值±2。每路PD-FE的输出先进入灵敏放大器(SA)进一步放大,再送入SR型锁存器进行逻辑电平再生。此时PD判决出的3位数据逻辑信号(DataA, B, C)表现出温度计编码特性,需要在数据输出之前转换为二进制码;并且通过双值逻辑产生出当前时刻数据和时钟边沿相对位置关系的指示信号,指导锁相环路进行时钟恢复达到数据与时钟边沿的实时对齐。

图5描述了本文提出的波特率采样技术的工作原理。其中,φ0、φ90、φ180和φ270分别为采样时钟一个周期中的4个相位0°、90°、180°和270°;PD前端在1个时钟周期内,将采样过程分成3个步骤进

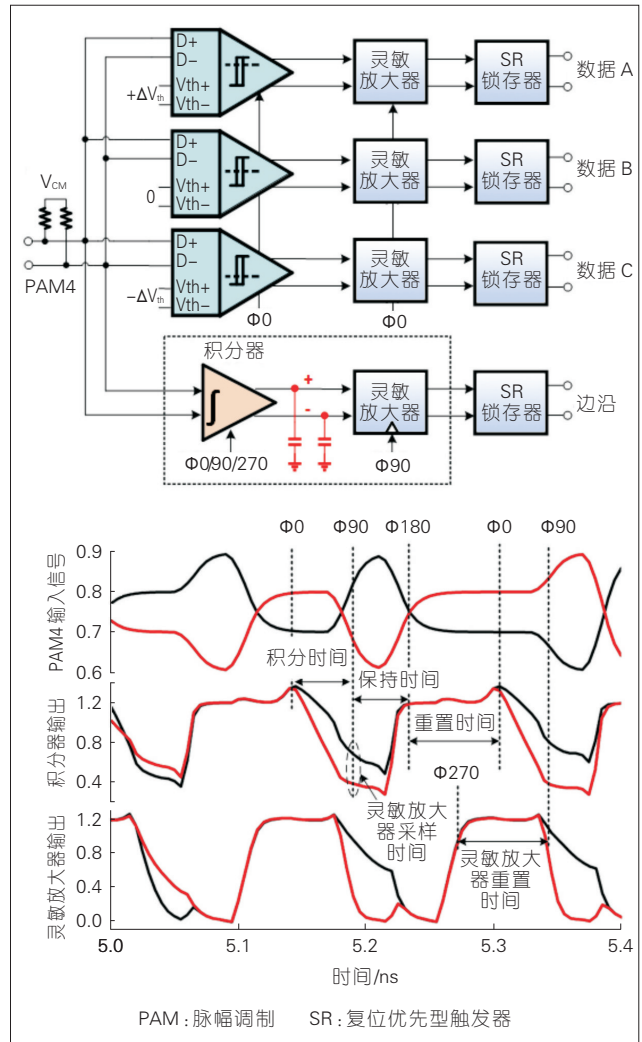


图5 鉴相器电路原理图及其瞬态工作原理

行：积分阶段、保持阶段和复位阶段。在积分阶段，输入差分信号根据幅值和正负关系通过电容放电将输出电压分开；在保持阶段，上述差分电压输出被保持一段时间不变，以作为后续SR锁存器的输入保持稳定；上述阶段完成时数据判决结束，进入复位阶段，输出节点重新被上拉到电源电压，等待下一采样周期的电容放电过程。需要注意的是：上述过程中，仅需要数据比特中心相位的时钟采样点，而节省了边沿相位采样点。

本文应对信号多过零点的数据转换边沿，仅选择其中对称变化的码型进行时钟对齐。具体来说，鉴相器恢复的温度计码数据在向二进制转换之前直接交给边沿选择器，其中A<2:0>和B<2:0>分别代表鉴相器输出的前一位和当前比特信息。以逻辑±3之间的转换为例，边沿选择器中的组合逻辑部分当且仅当识别出上述码型时，输出逻辑高电平判断结果。此结果在单相时钟型寄存器(TSPC)型与门逻辑中进行重定时，并作为选通信号控制BB逻辑的时钟相位调节指示信号，仅在有效码型的前提下将相位调节传递给下一级，否则整个锁相环路无动作。

由于本文CDR采用1/4速率时间交织形式采样数据，每路恢复数据初始速率在6.25 Gbit/s；上述4比特数据在6.25 GHz和12.5 GHz时钟的控制下分别进行2次2:1并行至串行转换，并最终使用电压型串连电阻终端(SST)的驱动器进行输出。输出端反相器导通电阻连同输出端串联电阻构成匹配终端50 ohm，吸收来自负载信道的信号反射。传统结构2:1并行至串行转换采用5个锁存器，先将两路数据时序对齐再彼此平移错开180°；本文中我们在第2次2:1转换中采用直通结构，利用多相位之间时序差节约上述动态锁存器电路。

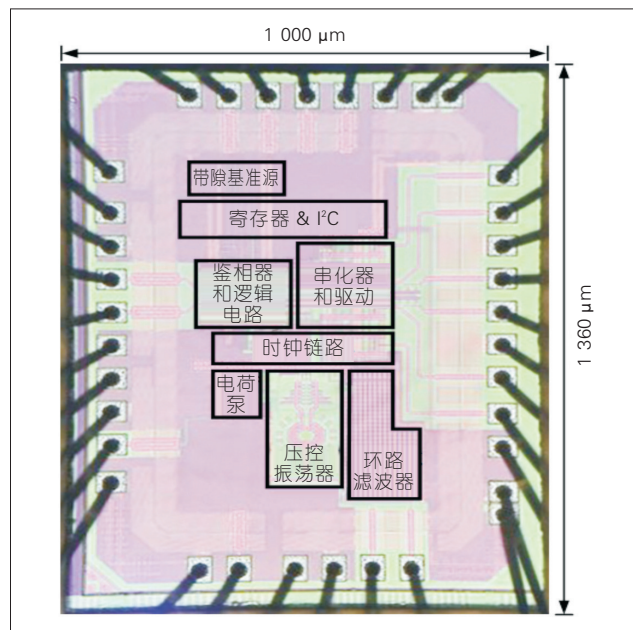
## 5 测试结果

本文中我们提出的PAM4信号时

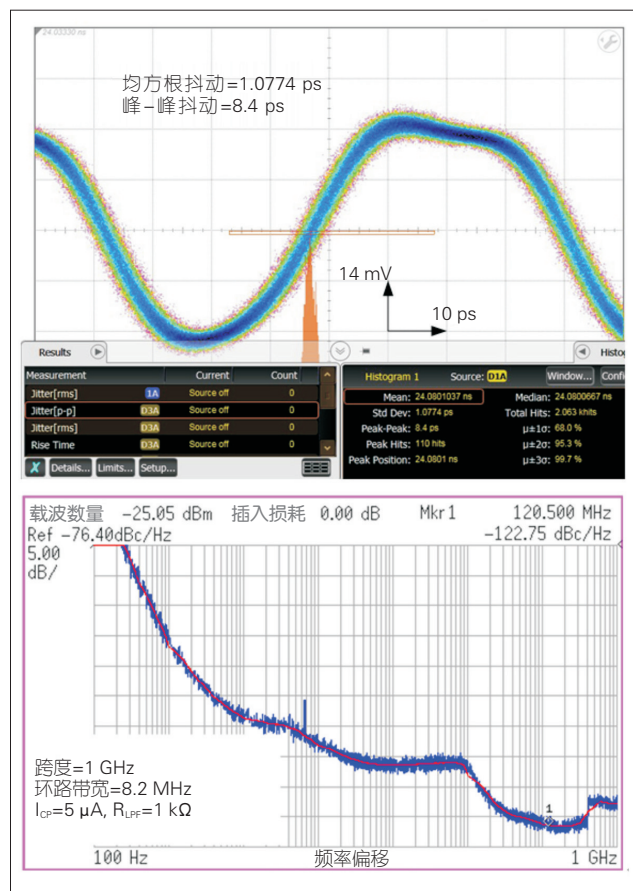
钟与数据恢复技术分别在65 nm和40 nm互补金属氧化物半导体(CMOS)工艺下进行2次流片得到验证：如图6中所示为利用波特率采样技术的65 nm 50 Gbit/s PAM4 CDR芯片，该芯片共占用面积1.36 mm<sup>2</sup>并包含焊盘和3 kV静电损伤(ESD)保护环。芯片的功能和性能测试均采用直接PCB金线键合的封装形式。为测量CDR误码率，25 G Baud/s的PAM4信号采用PRBS-9编码作为输入，该信号在到达待测芯片之前经历同轴电缆线和板上传输线的高频损耗。CDR芯片从输入PAM4信号中恢复出2路25 Gbit/s的NRZ信号，分别对应于PAM4解调之后的MSB和LSB位，并输出给30 G误码仪分别进行测量对应的BER。

在时钟恢复性能的相关测量中，双通道64 GSs采样率的任意波形发生器用来产生50 Gbit/s PAM4输入信号，而80 GSs实时采样示波器用来测量CDR恢复的12.5 GHz时钟。如图7所示，该时钟具备均方根时域(RMS)抖动为1.08 ps，峰-峰值时域抖动为8.4 ps；而

CDR锁相环路的闭环相位噪声分别在1 kHz、8.1 MHz以及120 MHz频偏



▲ 图6 4级脉幅调制时钟与数据恢复芯片显微照片



▲ 图7 时钟恢复测试结果：时域抖动与相位噪声



处,测试得到的结果为: -93 dBc/Hz、-112 dBc/Hz 以及 -122 dBc/Hz。

图8所示为本文中CDR芯片实时数据恢复的误码率(BER),测量时芯片输出到误码仪并实时与信号源

较明显码间干扰,进而限制了BER未完全达到0。

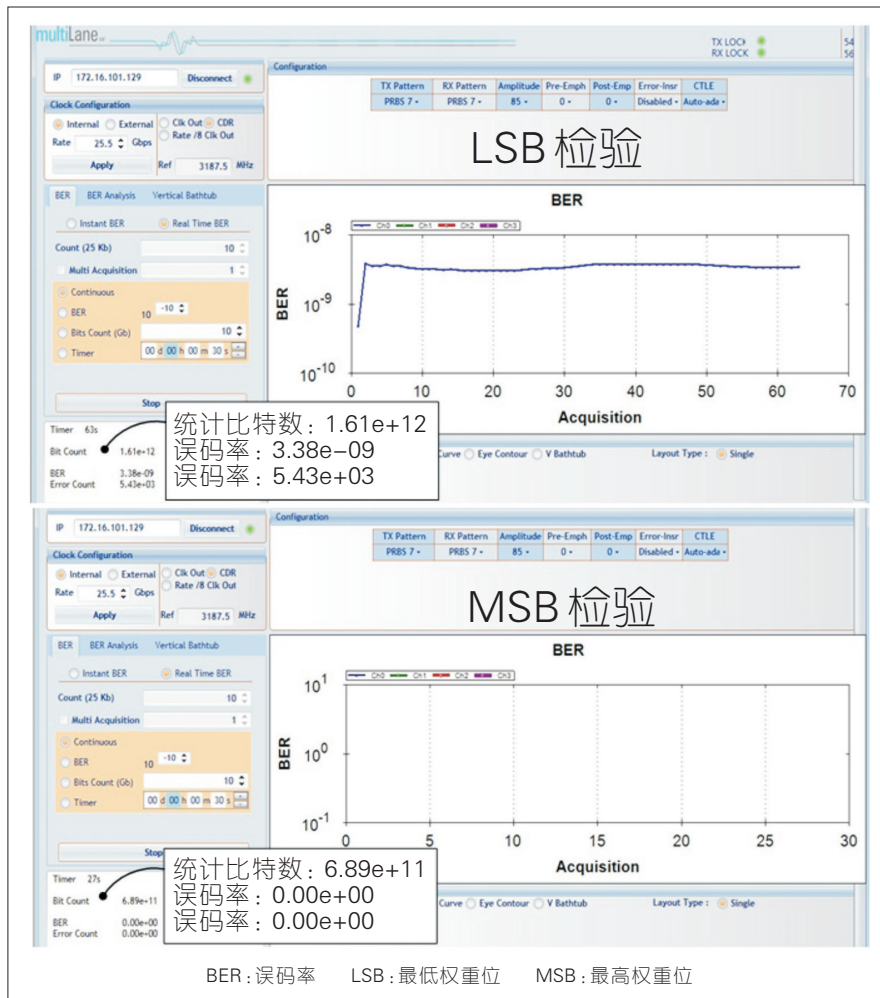
## 6 结束语

本文中我们介绍了单路50 Gbit/s

时钟1.08 ps RMS的时域抖动,并且还实现了 $3 \times 10^{-9}$ 的数据误码率以及6.27 pJ/bit的能耗效率。

### 参考文献

- [1] ZERBE J L, WERNER C W, STOJANOVIC V, et al. Equalization and Clock Recovery for a 2.5-10-Gb/s 2-PAM/4-PAM Backplane Transceiver Cell [J]. IEEE Journal of Solid-State Circuits, 2003, 38(12):2121-2130. DOI: 10.1109/JSSC.2003.818572
- [2] LEE J, CHIANG C P, PENG P J, et al. Design of 56 Gb/s NRZ and PAM4 SerDes Transceivers in CMOS Technologies [J]. IEEE Journal of Solid-State Circuits, 2015, 50(9): 2061-2073. DOI: 10.1109/JSSC.2015.2433269
- [3] TOIFLT, MENOLFI C, RUEGG M, et al. A 22 Gb/s PAM-4 Receiver in 90 nm CMOS SOI Technology [J]. IEEE Journal of Solid-State Circuits, 2006, 41(4):954-965
- [4] CHEN E, HOSSAIN M, LEIBOWITZ B, et al. A 40 Gb/s Serial Link Transceiver in 28 nm CMOS Technology [C]//2014 Symposium on VLSI Circuits Digest of Technical Papers. USA: IEEE, 2014. DOI: 10.1109/VLSIC.2014.6858361

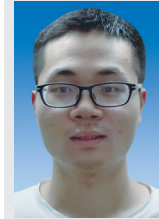


▲图8实测50 Gbit/s 4级脉幅调制信号实时数据恢复的误码率

的原始数据逐个比特进行对比。其中,MSB数据输出所对应的BER为0(低于 $10^{-12}$ 认为无误码输出);LSB数据对应的BER约为 $3 \times 10^{-9}$ ,满足带前向纠错功能的PAM4通信网络的需求(常见数值为 $10^{-4} \sim 10^{-6}$ )。通过测试发现:由于该芯片CDR输入未集成信道均衡,PAM4信号到达CDR已存在

速率光通信高速PAM4调制下电路设计的挑战和潜在解决方法,提出了一种基于积分前端电路的数据与时钟恢复技术,该技术能够在高速率下节省鉴相器和时钟网络近一半硬件开销和功耗代价。上述技术通过65nm CMOS工艺进行流片验证,实测获得最高51 Gbit/s PAM4信号输入下恢复

### 作者简介



廖启文,中国科学院大学在读博士研究生;主要研究方向为数模混合集成电路设计,特别是硅基高效高速率光电收发器芯片的研究。



Patrick Yin CHIANG,复旦大学微电子学院教授,中共中央组织部青年“千人计划”、上海市“千人计划”学者专家;主要研究方向为高效收发器芯片、高速光互连收发器芯片;已发表论文120余篇。



祁楠,中国科学院半导体研究所特聘研究员,中国科学院“百人计划”入选者,中科院半导体所-光梓科技“高速光电集成电路联合实验室”主任;主要研究方向为数模混合集成电路设计,特别是无线收发、高速光纤通信中的专用集成电路芯片;已发表论文30余篇,获得授权专利3项。