

# 25 Gbit/s CMOS 直接调制 DFB 激光器驱动电路

## A 25 Gbit/s CMOS Directly Modulated DFB Laser Driver Circuit

石泾波/SHI Jingbo<sup>1,3</sup>  
祁楠/QI Nan<sup>2</sup>  
Patrick Yin CHIANG<sup>1</sup>

(1. 复旦大学, 上海 201203;  
2. 中科院半导体研究所, 北京 100013;  
3. 光梓信息科技(上海)有限公司, 上海 201203)  
(1. Fudan University, Shanghai 201203, China;  
2. Institute of Semiconductors, Chinese Academy of Sciences, Beijing 100013, China;  
3. PhotonIC Technology (Shanghai) Co., Ltd, Shanghai 201203, China)

### 1 激光器驱动电路概述

随着物联网、大数据和云计算技术的飞速发展, 数据通信的带宽呈现出爆炸式的增长, 而传统的电互连技术已经无法满足高速信息传输的需求。在此背景下, 为了实现信息更高速率的传输, 一种利用光纤作为传输介质, 光信号作为信息载体的通信方案即光互连应运而生。光互连可以理解为一光通信技术在短距离场景替代传统的电通信技术的一种实现形式, 具备光通信的所有技术优点, 但要求更高性能的集成化、低功耗、低成本。总之, 光互连能够实现超低功耗、长距离、超高速、超高密度的数据通信, 同时还具备无电磁干扰、短延时、长寿命、安全可靠等特点。因此, 光互连技术代表了未来数

收稿日期: 2017-08-02  
网络出版日期: 2017-09-06

中图分类号: TN929.5 文献标志码: A 文章编号: 1009-6868 (2017) 05-0038-005

**摘要:** 提出了一个基于互补金属氧化物半导体(CMOS) 65 nm工艺、可用于100 G直接调制光互连系统的激光器驱动电路, 此电路可以以差分形式驱动分布反馈式(DFB)激光二极管(LD)并使其在25 Gbit/s的速率下工作。电路采用了预加重技术即通过电容耦合的方式将一系列精确控制的脉冲信号输出到负载, 从而减小由于阻抗不匹配所导致的数据损耗。此外, 电路还包括了线性连续时间均衡(CTLE)电路和并联电感峰化电路来扩展信号的带宽。测试结果表明: 此驱动器电路可以为激光器提供60 mApp的调制电流和60 mA的偏置电流(DC), 获得1.2 mW光输出功率, 电路的功耗为480 mW。同时, 还观测到了25 Gbit/s的眼图, 消光比为4.4 dB和抖动2.9 ps。

**关键词:** 直接调制; DFB驱动电路; 电容耦合

**Abstract:** The laser drive circuit in 65 nm complementary metal oxide semiconductor (CMOS) is proposed in this paper, which can be used for 100 G direct modulation optical interconnection system. This circuit can drive distributed feedback (DFB) laser diodes (LD) to operate in differential forms at a rate of 25 Gbit/s. To suppress the data reflection due to discontinuous loading impedance, a shifted pulse pre-emphasis technique is proposed, which precisely generates the pulse from a tunable delay line, and delivers it to the load through capacitive coupling. Linear continuous time linear equalization (CTLE) and inductive shunt peaking are adopted to further extend the signal-path bandwidth. Measurement results show that the driver can provide 60 mApp modulation current with additional 60 mA direct current (DC) bias to the laser, which leads to 1.2 mW optical output power, and 480 mW power consumption. The 25 Gbit/s clean eye-diagrams is also observed, with 4.4 dB extinction rate (ER) and 2.9 ps jitter.

**Key words:** directly modulated; DFB driver; capacitively-coupled

据通信技术的发展方向。

光互连由于其应用场景对低功耗、高密度的超要求, 其技术的关键和核心是包含集成光电子技术在内的集成电路技术<sup>[1]</sup>。具体包含了高速激光器芯片技术、光电探测芯片技术、集成驱动电路芯片技术、集成光波导技术、集成光电调制解调技术、集成数字信号处理技术和特种光纤

技术等。

作为一种最新定义出来的协议, 100GBase-LR4可以覆盖10 km以上的光纤传输距离<sup>[2-3]</sup>, 对目前数据中心中光纤传输的应用具有特别的意义, 因此成为当下研究的热点。图1为一个典型的四通道100GBase-LR4光电收发机系统的结构示意图, 通过传输光纤, 波分复用(WDM)发射或者接

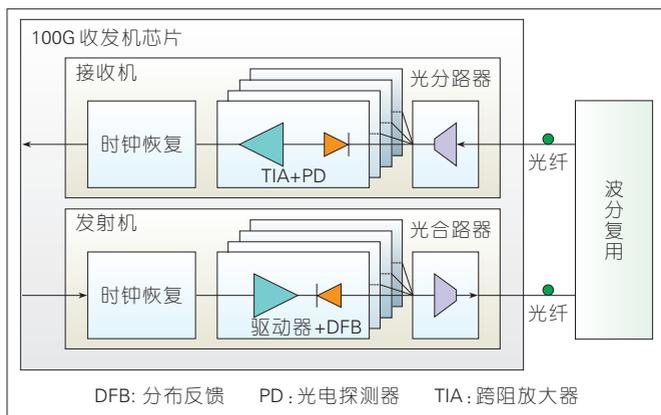


图1 100GBase-LR4 系统结构示意图

收4个波长间隔为5 nm的相干光,完成与收发机芯片间的信号的交互;收发机芯片主要包括接收机和发射机两部分,其作用主要是通过光电探测器(PD)或激光二极管(LD)来接收或发射光信号,信号的处理主要是由与这两个光电转换器件相连电路即跨阻放大器和激光器驱动电路来完成,这两个芯片可以说是整个发射机芯片的两个核心电路。

然而在100GBase-LR4系统中,出于传输距离所需的高输出光功率及低色散的要求,所使用的激光的波长为1 310 nm,光纤为单模光纤。这就要求系统中所使用的激光二极管为分布反馈(DFB)激光二极管,而非其他光互连系统所常用的垂直腔面发光激光二极管(VCSEL)。这也就对激光驱动器电路的设计提出了更高的要求,更具挑战性,主要表现在以下几个方面:

(1)偏置电流。为了使激光二极管工作在线性区,需要将其偏置在一个特定的值之上(这个特定的值即为激光二极管的阈值 $I_{th}$ ),因为一旦电流小于阈值,激光器工作在饱和区,输出光功率基本保持不变,无法调制光功率,因此驱动器电路必须确保激光器的偏置电流永远大于其阈值电流;然而,阈值电流并不是不变的,其随着温度的变化而增加,激光二极管在连续工作一段时间后其温度又会显著升高从而使阈值发生变化,如图2a)所示,因而必须将激光二极管偏

置在一个较大的电流值,保证其即便在高温时仍可以工作在线性区。

(2)调制电流。在100GBase-LR4系统中,光信号在光纤中的传输距离更长,达到10 km以上,因此就需要驱动电路具有更高的调制电流,来获得高光功率实现长距离传输。图2b)为驱动电路的偏置电流 $I_{bias}$ 、调制电流 $I_{mod}$ 与光功率的对应关系。通常来说,偏置电流是为了保证激光器工作在线性区,而调制电流的大小则决定了激光器的额输出光功率。

(3)传输速率。对于100GBase-LR4系统来说,要求单通道的发射机或者接收机的传输速率为25 Gbit/s,并且同时满足系统对偏置电流和调制电流的要求,即要求电路可以驱动激光二极管工作在较高的偏置电流和调制电流的同时可以实现上述的传输速率,因而对设计提出了更为严格的要求。因为更高的工作电流就需要更大规模的晶体管电路,会加剧电路的寄生效应从而降低系统带宽。对于一个基于互补金属氧化物

半导体(CMOS)工艺设计的发射机芯片来说,如何在实现高的偏置电流和调制电流的同时,满足系统对传输速率的要求,是激光器驱动电路设计需要考虑的最重要的因素。

## 2 激光器驱动电路设计

激光器根据调制方式的不同分为直接调制和间接调制。相对于前者,间接调制需要外接一个调制器,会额外增加发射机芯片的成本,与采用CMOS工艺设计的初衷即降低成本提高集成度不符,因而不在此文中进行讨论。而直接调制激光器驱动电路根据输出极与激光二极管的连接方式可以将驱动电路分为直流耦合驱动器和交流耦合驱动器。

### 2.1 直流耦合驱动电路

图3a)是直流耦合驱动电路示意图,驱动器电路的输出通过两个电阻分别和激光二极管的阴阳极相连,激光二极管的阴极被直接偏置在电源,通过在阳极接入一个电流源来控制直流偏置电流,调制电流则由左侧驱动电路中的晶体管的尾电流决定。直流耦合驱动电路结构简单,只需要将激光二极管偏置在一个较低的值(大于激光二极管的阈值即可)即可实现其正常工作。

不过,直流耦合驱动电路的问题在于:当驱动激光二极管在一个较高的速率时则难以实现较高的调制电流,比如在电源电压为 $V_{DD}$ 时,对于2.5 Gbit/s的数据率,电流从偏置上升到峰值的调制时间为100 ps,调制电

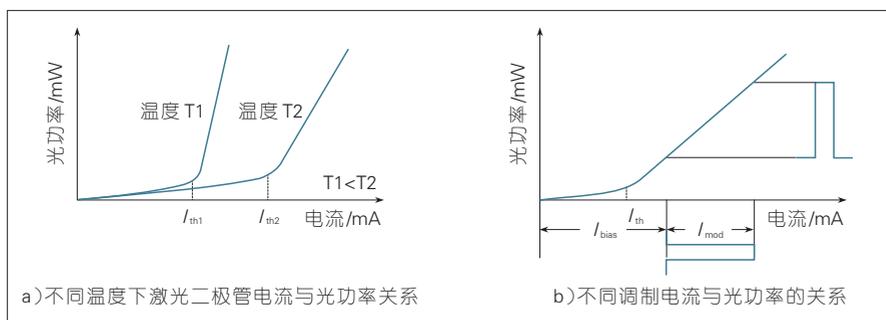
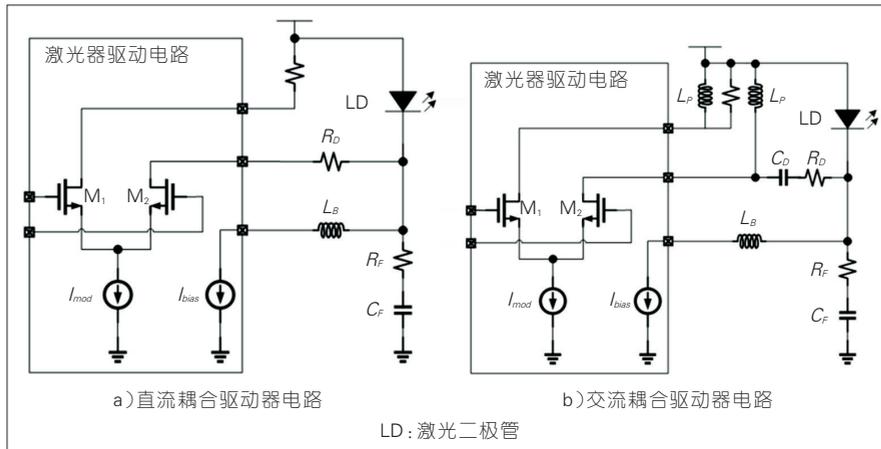


图2 激光二极管电流与光功率关系



▲图3 常见的激光驱动器电路结构

流  $I_{mod}$  为 60 mA, 二极管的等效电阻  $R_D$  为  $20 \Omega$  (包括封装电阻), 假设波形对称, 则激光二极管电阻 (RD) 两端的瞬时的电压变化为:

$$V_L = L \frac{di}{dt} \quad (1)$$

其中,  $L$  为激光二极管的电感 (主要包括 Bonding 线的寄生电感), 当  $L=1.0$  nH 时, 封装好的激光二极管的开启电压为 1.6 V,  $V_L$  的大小为 0.6 V, 驱动器输出端的瞬时电压则为  $V = V_{DD} - 0.6 - 1.6 - (I_{mod} R_D)$ , 因此对于这个速率和调制电流来说, 很难用 3.3 V 的电源来实现。

## 2.2 交流耦合驱动电路

交流耦合驱动器可以改善上述问题, 其电路结构如图 3b) 所示, 其与直流耦合驱动电路的区别在于: (1) 激光二极管两端的交流电压与等效电阻有关, 大小等于调制电流与等效电阻之积; (2) 瞬态电压等于等效电阻乘以调制电流一半。

由电路分析可得: 流过电容  $C_D$  的电流的平均值为零并且峰值的摆幅为  $I_{mod}$ , 因此激光二极管的输出为峰值功率时, 有一半的电流流入此电容, 低功率时又有一半的电流从此电容流出。因此, 流入激光二极管的电流则为:

$$I_L = I_{bias} \pm \frac{1}{2} I_{mod} \quad (2)$$

相对于直流耦合驱动器电路, 交流耦合结构的设计余量更大, 不过却引入了额外的电容和电感, 对于高速路径来说, 可能会导致信号失真, 因此对电路的匹配的要求更高。此外, 交流耦合结构中的耦合电容会对系统的抖动有一定的影响, 需要将其电容值设置的足够大来降低此影响, 但这同时也会对驱动器电路的带宽产生影响, 在设计时要充分考虑以上因素, 增加了设计难度。

## 2.3 25 Gbit/s 激光器驱动电路

上述的直流耦合和交流耦合两种连接方式各有特点, 不过都无法将其照搬到 100GBase-LR4 系统中的激光器驱动电路的设计中。以 2.1 中描述的情况为例, 在相同的电源和调制电流的情况下, 即便直流耦合驱动器电路的带宽可以满足 25 Gbit/s 的传输速率的要求, 此时  $V_L$  的大小为原来的 10 倍 (6 V)。同样, 对于交流耦合驱动器电路来说, 其在输出端串联了一个电容, 会对驱动器输出级的负载造成较大影响, 特别是 CMOS 工艺这种自身寄生效应就很严重的驱动器电路, 会导致带宽极大的衰减, 无法实现高速率模式下的工作。综上所述, 为了设计出可以工作在 25 Gbit/s 下的高速驱动器电路, 需要对传统的设计进行改进。

高速激光器驱动电路设计主要

有 3 个难点: (1) 当调制电流较高时, CMOS 的寄生效应就变得很严重, 从而限制了带宽导致严重的码间干扰, 因此必须采用为封装的裸片激光二极管芯片, 以避免封装导致的带宽衰减; (2) 由于无封装的 DFB 激光二极管的阻抗只有  $10 \Omega$  左右, 因此其低阻抗与驱动器之间的阻抗失配会导致二者之间产生严重的信号反射; (3) 激光二极管没有封装, 其和驱动器之间通过打金线连接, 这会导致严重的地弹噪声。

为了克服上述难点, 我们采用了图 4 中所示的驱动器, 驱动器采用了差分驱动的方式与激光二极管相连接来限制地弹噪声。为了减小高频时信号的损失, 驱动器电路中加入了一个连续时间均衡器 (CTLE), 它可以在 18 GHz 时提供 6 dB 的高频自举; 其后是一个带有可调负反馈电容的二阶的电流模式逻辑 (CML) 放大器, 用来调节前级均衡的强度; 在此放大器和驱动器输出级间是一个预驱动电路, 电路采用了电感并联峰化技术, 从而在高频时实现 6 dB 的峰化, 起到扩展带宽的作用。驱动器的输出级主要包括两个部分: 主驱动电路和容性耦合路径, 前者采用直流耦合连接方式差分驱动一个 25 Gbit/s 的激光二极管; 后者使用了交流耦合连接方式来构成一个辅助路径用来降低反射对信号的破坏。

与之前所描述的激光器驱动电路相比, 此方案的一个不同之处在于: 所驱动的激光二极管是以未经过封装的裸片的形式直接与驱动器通过金线相连接, 这样就可以极大地降低了封装所引入的电感, 从而使驱动电路可以工作在 25 Gbit/s 中。但因为采用了没有封装的裸片激光二极管, 这样会导致驱动器电路和发光芯片间有加大的阻抗失配, 在高数据率下工作时, 二者之间会产生严重的反射, 破坏信号的完整性。因此, 还需要额外的技术来消除反射对信号完整性的影响, 因此在图 4 中所示的驱

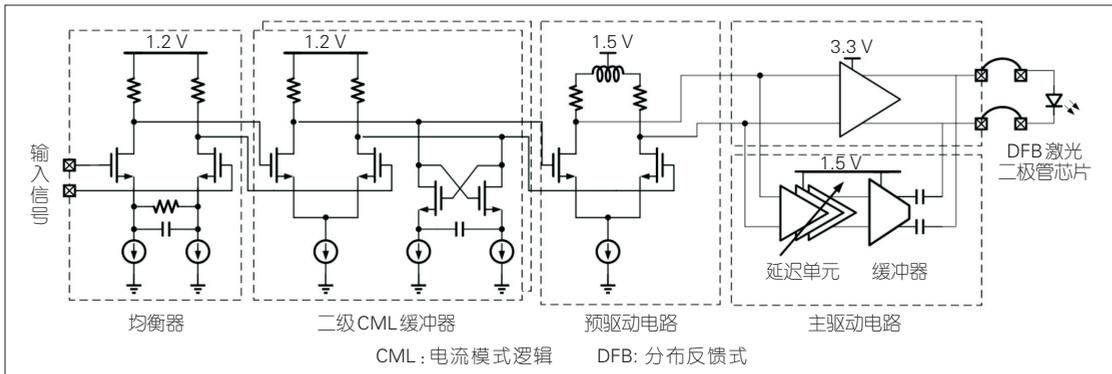


图4  
25 Gbit/s 激光驱动器  
结构示意图

驱动器电路中加入了电容耦合预加重 (CCPE) 辅助路径。

图4中所展示的设计结合了直流耦合与交流耦合两种驱动器设计,通过直流耦合将激光二极管与驱动器的主输出相连,避免了容性负载对带宽的衰减,此外引入了一个交流耦合的预加重辅助路径来降低反射对信号完整性的影响。图5a)为激光器驱动电路的主输出级与CCPE路径的电路原理图,其中主输出级主要由一对开关晶体管和一个电流源构成,分别起切换激光二极管工作模式和设置调制电流大小的作用,主输出级电路通过金线与激光二极管阴阳极差分相连,同时其阳极和阴极通过外置的磁珠(FB)被偏置到电源和一个可调电流源上,这样激光二极管的偏置电

流就由电源电压和此电流源决定。图中绿色和红色的箭头代表了当左右两个晶体管 M1 和 M2 分别闭合时交流电流的流向,对应着激光器的两个工作模式。

容性耦合电路主要是由一个电源电压为 1.5 V 的 CML 电路和一个延时可调电路组成。预驱动器的输出信号通过延迟后出入到 CML 电路,之后再被两个电容耦合到驱动器电路的输出端,形成一个只包含波峰和波谷的脉冲,其位置由延时的大小控制,形状和强度分别通过电容值和 CML 电路中的电流源的大小调节。

图5b)为仿真所得的驱动器输出波形。反射信号在输出波形上表现为凸起或凹陷,通过调节延时的大小,当最主要的反射信号与脉冲信号

正好极性相反切位置相同时,再仔细调节脉冲的幅度,即可将主要的反射信号抵消滤除,从而可以得到图中所示的更加光滑的曲线,改善了信号的抖动。

### 3 测试结果

上文所描述的激光驱动器电路是基于台积电(TSMC)65 nm 工艺设计的,并成功进行了流片,芯片面积约为 1.2 mm<sup>2</sup>(包含防静电接口和焊盘)。图6为测试环境的示意图,高速的码型发生器产生 10~25 Gbit/s 的伪随机二进制序列(PRBS)的数字码型,输入信号经过宽带 Bias-T 偏置后差分输入到驱动器电路,驱动器电路和所使用的高速 DFB 激光二极管都被安置在一个电路板上,两者通过金

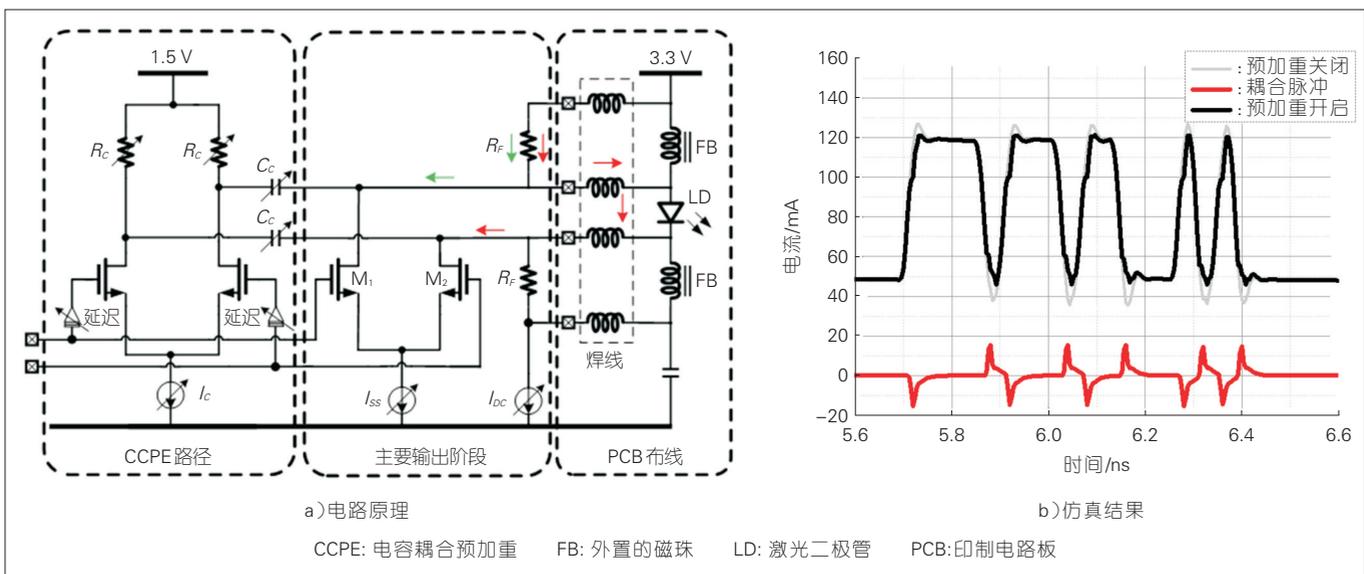
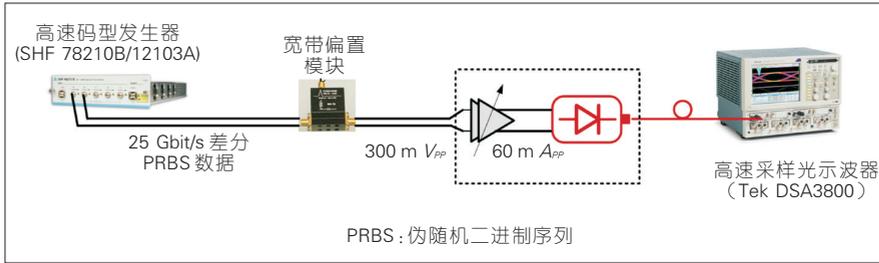


图5 驱动器输出级与预加重电路



▲ 图6 高速驱动器电路测试示意

线直接相连。因为 DFB 激光二极管是侧面发光且光斑尺寸非常小,因此在测试时用一根截面直径为  $10\ \mu\text{m}$  且带有透镜的锥形光纤去对准发光区收集光信号。这时光纤被固定在一个 XYZ 平移轴上,通过调节平移轴的位置,使光纤与激光二极管的发光区对准,光纤另一端与带有光模块的高速数字采样示波器相连接,这样光信号就通过光纤传给了示波器。我们可以通过高速采样示波器来观测光眼图信息。

图7为此次激光器驱动电路在不同的输入下的测试结果:a)和b)分别为 10 Gbit/s 和 20 Gbit/s 时所得到的光眼图,此时未开通预加重辅助技术,观察到的抖动分别为 1.8 ps 和 3.2 ps,对应的消光比(ER)为 5.3 dB 和 5.6 dB;当改变输入到 25 Gbit/s 时,相同设置下光眼图的抖动增加到了

4.0 ps,消光比基本保持不变,如图c)所示;保持其他设置不变,打开预加重辅助技术,通过仔细调整延时和脉冲强度的大小,可以得到图7d)中的光眼图,此时的抖动被优化到了只有 2.9 ps,消光比为 4.6 dB,此时驱动器电路的功耗大约为 480 mW。

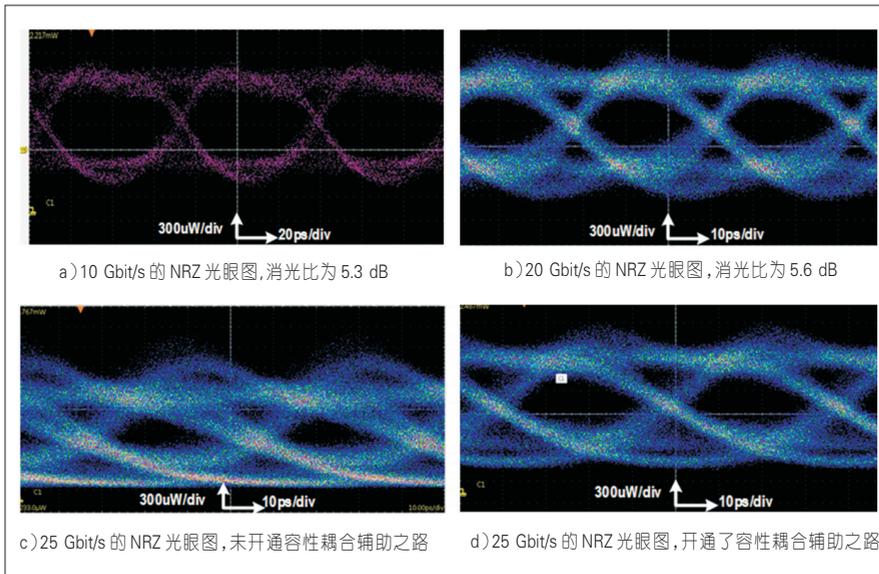
#### 4 结束语

此次基于 TSMC 65 nm 工艺设计的激光器驱动电路的成功流片和测试可以说明:通过改进设计也是可以利用标准 CMOS 工艺实现 DFB 高速激光二极管高速工作的同时获得较大的调制电流,同时与其他高速激光器驱动电路相比,由于采用了 CMOS 工艺,也可以节省 20% 以上的功耗<sup>[5-6]</sup>。通过比较可知:即便在较大的调制电流的情况下,预加重辅助技术也可以

极大地改善驱动电路的抖动,降低反射对信号的破坏,并且提高信号的完整性。

#### 参考文献

- [1] SHEN P K, CHEN C T, CHANG C H, et al. Implementation of Chip-Level Optical Interconnect With Laser and Photodetector Using SOI-Based 3-D Guided-Wave Path [J]. IEEE Photonics Journal, 2014, 6(6): 2500310. DOI: 10.1109/JPHOT.2014.2366165
- [2] Media Access Control Parameters, Physical Layers, and Management Parameters for 40 Gb/s and 100 Gb/s operation: IEEE 802.3ba [S]. USA: IEEE, 2010
- [3] KASH J A, BENNER A F, DOANY E F, et al. Optical Interconnects in Future Servers[C]// Optical Fiber Communication Conference and Exposition (OFC/NFOEC), 2011 and the National Fiber Optic Engineers Conference. USA: IEEE, 2011
- [4] Next Generation 100 Gb/s Optical Ethernet Study Group[EB/OL].[2012-08-21] (2017-08-02). <http://www.ieee802.org/3/100GNGOPTX/index.html>
- [5] TAKEMOTO T, MATSUOKA, SUGIYAMA Y Y, et al. A 50-Gb/s NRZ-Modulated Optical Transmitter Based on a DFB-LD and 0.18 um SiGe BiCMOS LD Driver [C] // Processing of OFC. USA: OFC, 2015
- [6] TAKEMOTO T, YAMASHITA, YUKI F, et al. A 25-Gb/s 2.2-W 65-nm CMOS Optical Transceiver Using a Power-Supply-Variation-Tolerant Analog Front End and Data-Format Conversion[J]. IEEE Journal of Solid-State Circuits, 2014, 49(2): 471-485



▲ 图7 驱动器电路测量结果

#### 作者简介



石泾波,复旦大学在读博士生;主要研究方向为数模混合集成电路设计,特别是硅基高效高速率光电收发器芯片的研究。



祁楠,中国科学院半导体研究所研究员,中科院“百人计划”特聘研究员;主要研究方向为数模混合集成电路设计,特别是无线收发、高速光纤通信中的专用集成芯片等;已发表论文 30 余篇,获得授权专利 3 项。



Patrick Yin CHIANG,复旦大学微电子学院教授,中组部青年“千人计划”、上海市“千人计划”专家;主要研究方向为高效收发器芯片、高速光互连收发机芯片;已发表论文 120 余篇。