

# 后摩尔时代的3D封装技术——高端通信网络芯片对3D封装技术的应用驱动

## 3D-IC Packaging Technology Driven by High-End Communication Network Chips in Post-Moore Law Period

王晓明/WANG Xiaoming

(中兴通讯股份有限公司, 广东 深圳 518055)  
(ZTE Corporation, Shenzhen 518055, China)

中图分类号: TN929.5 文献标志码: A 文章编号: 1009-6868 (2016) 04-0064-003

**摘要:** 认为通过封装技术的发展创新延续摩尔定律, 满足未来通信芯片及消费性电子的需求已成为业界新的热点。介绍了3D封装技术发展现状与优势, 提出“高带宽、高性能、大容量、高密度”通信网络芯片对3D封装技术有迫切的应用需求, 并深入分析了堆叠封装技术如何解决400G网络处理器(NP)所面临的瓶颈问题。建议中国芯片产业链应协同合作, 从整体上推动IC产业的发展。

**关键词:** 后摩尔时代; 三维硅通孔; 堆叠封装; 通信网络芯片; 网络处理器; 存储墙

**Abstract:** Developing new package technology to extend Moore's law has become one of the hottest spots to meet the needs of both future communication chips and consumer electronics. In this paper, after analyzing and introduction the status and advantages of 3D packaging technology, it is clear that 3D packaging technology is a urgently need to boost up communication network chip to higher bandwidth, higher performance, larger capacity and higher density. Then, we analyze how to solve the bottleneck problem of 400G network processor through stacking packaging in detail. We suggest that the whole Chinese chip industry chain should promote the development of IC industry cooperatively.

**Keywords:** post-Moore law period; stack package; 3D TSV; communication network chip; network processor; memory wall

### 1 3D封装技术发展现状

基于芯片集成度、功能和性能的要求, 主流晶圆技术节点降低至28 nm, 甚至已跨入16 nm。然而随着晶圆技术节点不断逼近原子级别, 实现等比例缩减的代价变得非常高, 摩尔定律即将失效。如何通过封装技术的发展创新来延续摩尔定律, 满足未来通信芯片及消费性电子的需求已成为新的热点。目前业界的前沿封装技术包括以晶圆级封装(WLCSP)和载板级封装(PLP)为代表的2.1D封装, 以硅转接板和硅桥为代表的2.5D封装, 以及基于三维硅通孔(3D TSV)工艺在Z方向上堆叠芯片的3D封装<sup>[1]</sup>。其中3D封装在集成度、性能、功耗等方面更具优势, 同时设计自由度更高, 开发时间更短, 是各封装技术中最具发展前景的一种。

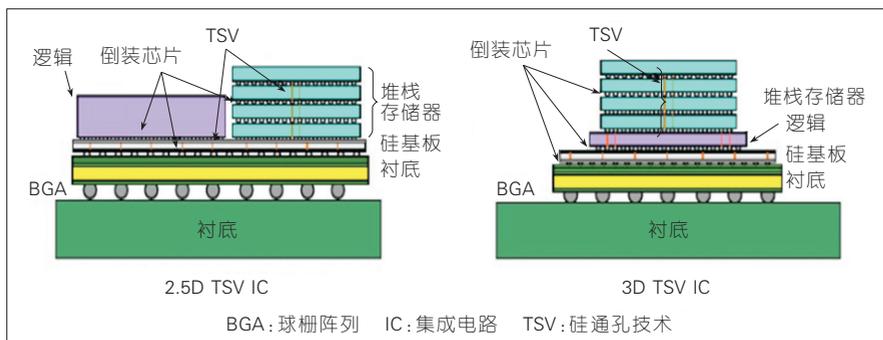
传统意义上3D封装包括2.5D和3D TSV封装技术。硅通孔技术(TSV)实现Die与Die间的垂直互连, 通过在Si上打通孔进行芯片间的互

连, 无需引线键合, 有效缩短互连线长度, 减少信号传输延迟和损失, 提高信号速度和带宽, 降低功耗和封装体积, 是实现多功能、高性能、高可靠性且更轻、更薄、更小的芯片系统级封装。3D TSV封装结构示意图如图1。

由于3D TSV封装工艺在设计、量产、测试及供应链等方面还不成熟, 且工艺成本较高, 目前业界采用介于2D和3D之前的2.5D连接层封装形式, 通过在Die和基板间添加一层连接层, 大幅度提高封装的输入输出(I/O)信号密度, 是3D TSV封装大规模商用之前既经济又实用的方案。

早期(2013年以前)2.5D TSV封装技术主要应用于逻辑模块间集成, FPGA芯片等产品的封装, 集成度较低。到2014年业界的3D TSV封装技术已有部分应用于内存的芯片封装, 用于大容量内存芯片堆叠, 同时应用于高性能芯片的高端消费产品中。2015年, 2.5D TSV技术开始应用于一些高端的图形处理器(GPU)/中央处理器(CPU)以及网络芯片中, 同时媒体处理器(AP)+内存的集成芯片也开始有部分采用2.5D TSV封装, 业界在连接层的成本控制和加工能力方面有一定提高。预计2016/2017年业

收稿时间: 2016-05-04  
网络出版时间: 2016-06-16



▲图1 3D TSV封装结构示意图

界在3D封装技术上将取得长足进展,高端手机芯片、大规模I/O的芯片以及高性能芯片中将实现3D TSV封装,同时目前3D封装成本较高的因素也会解决,有望逐步实现大规模量产。TSV发展里程如图2所示。

## 2 通信网络芯片对3D封装技术的应用驱动

通信网络芯片的特点是规模大,对性能和功耗的要求都很高,此外,知识产权(IP)核复杂、设计周期紧、良率等都是重要问题,3D封装从一定程度上可以给未来通信系统芯片的设计带来好处。IP的选择经常是限制系统芯片设计的一个瓶颈,IP的代工厂和工艺,都限制了整个系统芯片的工艺选择。如果一种工艺不能支持所有相关IP,芯片项目就难以开展。3D封装有效规避了这个问题,使得从系统层面来看,芯片方案具备更多的灵活性,同时产品启动时间和完成时间都可以提前。因此,以400G网络处理器(NP)芯片为代表的高端通信网络芯片对于3D封装技术有很强的应用驱动力。

“高带宽、高性能、大容量、高密度”是有线网络产品的基本特征,产品的每一次带宽升级和技术演进,都与集成电路(IC)产业的工艺、技术等发展息息相关,基本符合“摩尔定律”的发展轨迹。以高端路由器为例,高端路由器产品的竞争,实质是核心芯片设计能力的体现,特别是NP的设计能力,几乎与高端路由器的技术竞

争力划等号<sup>[1]</sup>。每次芯片新工艺的成熟,NP的性能均能得以成倍提升,同时也促成了路由器产品的平台升级。

目前采用主流28 nm先进工艺设计的NP,已可实现双向100G+线速业务处理能力,以此研发推出的400G平台(单板400G/接口最大100G处理能力)的路由器产品也已规模商用。而随着网络带宽的日益膨胀,高端路由器正逐渐向IT产品平台演进,对下一代NP的带宽处理能力提出了更高的要求。同时以太网400G接口标准日趋成熟,预示着下一代NP应能支持双向400G的业务处理能力,以支撑400G以太网接口的应用需求。

虽然芯片工艺当前正逐渐步入16/14 nm时代,但400G NP的规格指标,相比28 nm的100G NP提升巨大,单凭芯片制造工艺上的进步已不能

解决400G NP面临的高带宽问题。“存储墙”一直是NP性能落后于产品演进发展需求的关键原因,如400G NP继续采用常规外挂双倍速率同步动态随机存储器(DDR)的缓存解决方案,则需要外挂数十组高频率DDR颗粒,芯片引出的DDR PIN脚数量巨大,即使采用更先进的制造工艺,也无法实现芯片的设计和封装布局。

TSV技术的成功商用,使芯片的堆叠封装技术取得了实质性进展,相关产品正被加速推向市场,如存储芯片厂家海力士和三星已成功研发出3D堆叠封装的高带宽内存(HBM),Micron、Intel等也正在联合推动另一种堆叠封装混合存储立方体(HMC)的研发。在芯片后端设计领域,BROADCOM、GLOBALFOUNDRIES等公司也成功引入了TSV技术,目前已能为通信网络芯片提供2.5D堆叠后端设计服务。

## 3 3D封装技术为通信网络芯片带来新的发展机遇

堆叠缓存和后端服务的逐渐成熟,有助于解决高带宽通信网络芯片所面临的瓶颈问题,提高产品的竞争力。主要表现在以下方面:

首先,堆叠封装解决了400G NP面临的缓存问题,3D堆叠缓存作为



▲图2 TSV发展里程

近年出现的黑科技,已被业界视为未来高速缓存的发展趋势。

(1)堆叠缓存采用多层动态随机存取存储器(DRAM)层堆叠来增加缓存带宽,如目前海力士的HBM单组堆叠缓存带宽最大已达到256 GB/s吞吐量,2组HBM已能满足400G NP的缓存需求。

(2)堆叠缓存采用了低电压技术,整体功耗大幅下降,相比外挂DDR的缓存方案,HBM的缓存功耗可下降60%左右。

其次,400G NP采用2.5D堆叠封装(如图3),在连接层直接互联主业务逻辑单元和HBM 3D堆叠缓存,实现了业务处理系统的整体设计布局,不但提升了芯片集成度,且在成本、面积、功耗上达到了最优化。

(1)传统NP需排布大量的DDR控制器和物理层组件,后端通常需要扩大Die尺寸来完成DDR的布局,因此Die面积也普遍较大且存在空间浪费。400G NP采用HBM缓存后,只需包含2组HBM,后端布局较为容易,主逻辑Die面积相比传统100G NP减少15%左右(同制造工艺),而裸Die成本相应也会有较大幅度的下降。

(2)传统NP需扇出大量的PIN脚,芯片的封装尺寸相当巨大,100G产品通常都在50 mm × 50 mm以上,而这些PIN脚中有50%为DDR相关的PIN脚。400G NP采用2.5D封装,在内置连接层上已完成了主逻辑与HBM间的I/O互联,最终封装只需扇出外部互联的串行/解串器引脚,即使在封装集成HBM的情况下,芯片

的封装面积也能缩小约35%。

(3)主逻辑Die面积减少,以及HBM缓存具有的低功耗特性,使400G NP的功耗得到较好控制,其整体功耗与传统100G NP的功耗(不含外置缓存)基本相当。且2.5D封装将主逻辑单元和HBM缓存在空间上分离布局,使主逻辑单元和HBM缓存均能获得最佳的散热效果。

(4)400G NP封装HBM,集成度大幅提升,产品单板印刷电路板(PCB)设计将大为简化,无需再关注复杂的DDR走线和信号干扰问题。同时由于省去了外挂的DDR颗粒,单板PCB可有更多的空间来布局更多的NP,将直接推动产品演进到2T级平台时代。

堆叠封装技术解决了众多高带宽有线网络芯片一直面临的“存储墙”带宽不足的瓶颈,且有效提升了有线网络芯片的集成度,3D堆叠缓存与2.5D封装的结合将成为未来有线网络芯片的主流设计方向。而因此形成的“system on module”系统芯片设计理念,将促使产品系统与芯片设计加速进行更深层次的行业垂直整合,有线网络芯片即将迎来新的发展机遇。

#### 4 对中国3D封装技术发展的思考

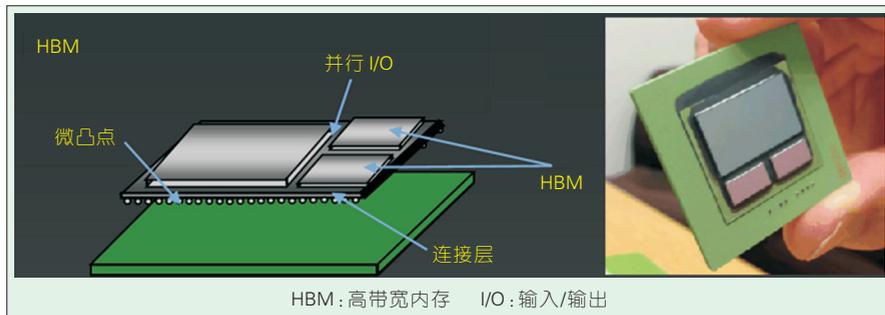
综前所述,随着芯片复杂度不断上升,将更高的集成需求转化成封装改进,可以很大程度控制芯片设计难度,保障芯片产品的竞争力。因此,通信系统芯片、移动智能终端及家庭

网络芯片等对3D封装技术的需求变得越来越明确且强烈。近年来,在国家科技政策的重视和引导下,中国封装技术水平取得了一些进步,如系统级封装(SiP)、铜柱凸块封装、倒装焊芯片封装等,都取得了不错的成绩,但3D封装技术仍亟待取得突破。

针对当前中国集成电路产业链的现状,建议产业链上下游厂商要协同发展,通过集成电路封测联盟的总体协调,在芯片设计企业和封测企业之间建立有效沟通机制。对于芯片设计企业,应通过通信系统芯片、移动智能终端及家庭网络芯片等产品对3D封装进行需求牵引。对于封测企业,要加大先导性封装技术的研究投入,加快3D-TSV、3D-SiP等新一代封装技术的产品导入。芯片设计企业和封测企业双方紧密合作,打通基于国产先进封装测试等集成电路关键技术环节,能够促进集成电路封测产业的技术发展,提升芯片设计企业产品的竞争优势,进而从整体上推动国内IC产业的格局性大发展。

#### 参考文献

- [1] 陆军. 3D封装[J]. 集成电路通讯, 2005, 24(4): 41-47
- [2] 范成法. 路由器技术发展趋势[J]. 中兴通讯技术(通讯), 2015, 19(8):12-14



▲图3 芯片2.5D封装

#### 作者简介



王晓明,深圳市中兴微电子技术有限公司总经理;在通讯产品和集成电路领域拥有丰富的研究和管理经验,曾先后主导开发ZXJ10数字程控交换系统、高端路由器、核心网产品;获多项国家级奖项,负责的自主核心芯片在高速路由转发、大容量分组交换、复杂流量管理等多方面获得重要突破。